

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **64-028767**

(43)Date of publication of application : **31.01.1989**

(51)Int.Cl.

G06F 15/16

G06F 15/347

(21)Application number : **63-167894**

(71)Applicant : **AMERICAN TELEPH &
TELEGR CO <ATT>**

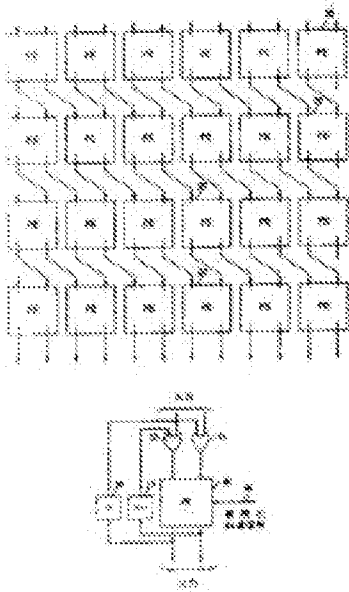
(22)Date of filing : **07.07.1988**

(72)Inventor : **HUANG ALAN**

(30)Priority

Priority number : **87 71105** Priority date : **08.07.1987** Priority country : **US**

(54) CALCULATION PROCESSOR



(57)Abstract:

PURPOSE: To attain the highest efficiency by deciding the mutual connection of processing elements in array by delay control inside a delay element and permitting the processing elements in emulated array to independently execute function.

CONSTITUTION: OR gates 31 and 32 supplying a signal to the element 20 and the delay elements 33 and 34 receiving the signal from the element 20 are added in order to realize an architecture having multiplexed singles-processing elements so as to emulate a row and a column. Then, the delay elements are controlled so that the width of emulated array is easily controlled and the number of the emulated rows is extremely easily controlled in the same way. Therefore, the mutual connection of the processing elements in array is decided and the respective processing elements independently execute the optionally selected

function apart from the function executed by the adjacent processing elements so that the highest efficiency is attained.

CALCULATION PROCESSOR

Publication number: JP1028767 (A)

Publication date: 1989-01-31

Inventor(s): ARAN FUAN +

Applicant(s): AMERICAN TELEPHONE & TELEGRAPH +

Classification:

- **international:** **G06F15/173; G06F15/80; G06F15/16; G06F15/76;** (IPC1-7): G06F15/16; G06F15/347

- **European:** G06F15/80A2

Application number: JP19880167894 19880707

Priority number(s): US19870071105 19870708

Also published as:

JP2509678 (B2)

EP0298658 (A2)

EP0298658 (A3)

EP0298658 (B1)

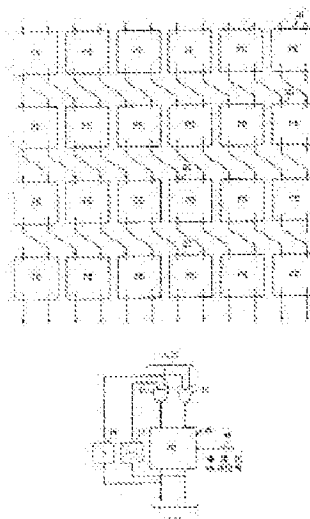
US4943909 (A)

[more >>](#)

Abstract of JP 1028767 (A)

PURPOSE: To attain the highest efficiency by deciding the mutual connection of processing elements in array by delay control inside a delay element and permitting the processing elements in emulated array to independently execute function.

CONSTITUTION: OR gates 31 and 32 supplying a signal to the element 20 and the delay elements 33 and 34 receiving the signal from the element 20 are added in order to realize an architecture having multiplexed singles-processing elements so as to emulate a row and a column. Then, the delay elements are controlled so that the width of emulated array is easily controlled and the number of the emulated rows is extremely easily controlled in the same way.; Therefore, the mutual connection of the processing elements in array is decided and the respective processing elements independently execute the optionally selected function apart from the function executed by the adjacent processing elements so that the highest efficiency is attained.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2509678号

(45)発行日 平成8年(1996)6月26日

(24)登録日 平成8年(1996)4月16日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I.	技術表示箇所
G 0 6 F 15/16	3 9 0		G 0 6 F 15/16	3 9 0 T

請求項の数19(全 19 頁)

(21)出願番号	特願昭63-167894	(73)特許権者	999999999 エイ・ティ・アンド・ティ・コーポレーション アメリカ合衆国 10022 ニューヨーク, ニューヨーク, マディソン アヴェニュー 550
(22)出願日	昭和63年(1988)7月7日	(72)発明者	アラン ファン アメリカ合衆国 07748 ニュージャージー, ミドルタウン, パーシ ドライヴ 4
(65)公開番号	特開平1-28767	(74)代理人	弁理士 岡部 正夫 (外2名)
(43)公開日	平成1年(1989)1月31日	審査官	堀田 和義
(31)優先権主張番号	7 1, 1 0 5	(56)参考文献	特開 昭60-183645 (J P, A) 特開 昭59-71561 (J P, A)
(32)優先日	1987年7月8日		
(33)優先権主張国	米国 (U S)		
前置審査			

(54)【発明の名称】 計算処理装置

1

(57)【特許請求の範囲】

【請求項1】第1および第2の入力ポート、第1および第2の出力ポート、および制御ポートを有し、そしてルーティング機能および計算機能の両方を遂行する処理要素を含む計算装置において、

該第1の出力ポートおよび該計算装置の第1の出力に接続され、該第1の出力ポートの予め選択された数の出力信号を格納するための第1の遅延手段；

該第1の遅延手段の出力信号を該計算装置に加えられた信号と結合し、これを該第2の入力ポートに加えるための第1の手段；

該第2の出力ポートおよび該計算装置の第2の出力に接続され、該第2の出力ポートの別の予め選択された数の出力信号を格納するための第2の遅延手段；

該第2の遅延手段の出力信号と該計算装置に加えられた

2

信号を結合し、これを該第1の入力ポートに加えるための第2の手段；および

該制御ポートに制御信号を加え、該諸利要素に予め選択された処理機能および信号ルーティング機能を実行させるための手段を含むことを特徴とする計算装置。

【請求項2】該処理要素が該第1および第2の入力ポートに接続された該計算機能を遂行するための信号処理網、および

該第1および第2の入力ポートのところの入力信号および該信号処理網の出力信号にตอบสนองして該ルーティング機能を実行するための信号ルーティング網を含むことを特徴とする請求項1記載の計算装置。

【請求項3】該信号ルーティング網が該入力信号の任意の1つを該出力ポートの1つあるいは両方にスイッチする能力をもつことを特徴とする請求項1記載の計算装

置。

【請求項4】ロウおよびカラムのアレいに配列された複数の処理要素を有する計算装置であって、ロウおよびカラム内の個々の処理要素が同一カラムの前のロウ内の処理要素の1つの出力ポートに接続された1つの入力ポートおよび別のカラムの前のロウ内の処理要素のもう1つの出力ポートに接続されたもう1つの入力ポートをもち、該アレいの最初のロウ内の処理要素の入力ポートが該計算装置への入力信号を受け、該アレいの最後のロウ内の処理要素の出力ポートが該計算装置の出力信号を供給している計算装置において、個々が該処理要素の異なる1つの出力ポートに接続され、個々がそれぞれ自体が予め選択した数のクロック同期された出力信号を格納する複数の遅延手段；該複数の遅延手段の出力信号を該処理要素の該入力ポートに加えるための手段；および該処理要素の個々の動作機能をクロック同期された方法にて制御するための手段を含むことを特徴とする計算装置。

【請求項5】該動作を制御するための手段が該アレい内の該処理要素の個々に対して、選択された処理機能を他の処理要素によって遂行されるように選択された機能の処理と独立して遂行するように指令することとを特徴とする請求項4記載の計算装置。

【請求項6】該遅延手段が相互接続された処理要素の大きなエミュレートされたアレい内の選択された相互接続パターンを実現するために用いられる信号遅延値を提供することとを特徴とする請求項4記載の計算装置。

【請求項7】該遅延手段が加えられた制御信号によって制御される値をもつことを特徴とする請求項4記載の計算装置。

【請求項8】該遅延手段制御信号が該エミュレートされたアレいの幅をコントロールするために動的に可変であることを特徴とする請求項7記載の計算装置。

【請求項9】相互接続されたロウおよびカラムに配列された複数の処理要素を含む計算装置であって、ロウおよびカラム内の該処理要素の個々が該処理要素の片側あるいは両側の同一ロウ内の隣接処理要素、および該処理要素の片側あるいは両側の同一カラム内の隣接処理要素を有している計算装置において、該処理要素の個々が、該処理要素の右あるいは左のいずれか一方の同一ロウ内の処理要素に接続され、該処理要素の個々が該処理要素の上あるいは下のいずれか一方の異なるロウ内の処理要素に信号を提供しており；そして該処理要素の個々が選択された処理動作を該計算装置内の他の処理要素によって遂行されるために選択された動作の処理と独立して遂行するために使用されることを特徴とする計算装置。

【請求項10】ロウ i およびカラム j 内の個々の処理要素が該処理要素をロウ $i+1$ およびカラム j 内の処理要素

素に接続する1つの出力リード、および該処理要素をロウ $i+1$ およびカラム $j+(-1)^i K$ 内の処理要素に接続する1つの出力リードをもち、ここで K が個々のロウに対する定数であることを特徴とする請求項9記載の計算装置。

【請求項11】ロウ i およびカラム j 内の個々の処理要素が該処理要素をロウ $i+1$ およびカラム j 内の処理要素に接続する1つの出力リード、および該処理要素をロウ $i+1$ およびカラム $j-(-1)^i K$ 内の処理要素に接続する1つの出力リードをもち、ここで K が個々のロウに対する定数であることを特徴とする請求項9記載の計算装置。

【請求項12】ロウ i およびカラム j 内の個々の処理要素が該処理要素をロウ $i+1$ およびカラム j 内の処理要素に接続する1つの出力リード、および該処理要素をロウ $i+1$ およびカラム $j-K$ 内の処理要素に接続する1つの出力リードをもち、ここで K が個々のロウに対する定数であることを特徴とする請求項9記載の計算装置。

【請求項13】該予め選択された数と該別の予め選択された数が互いに関連をもつことを特徴とする請求項1記載の計算装置。

【請求項14】該第1の遅延手段が N 個の出力信号を格納し、該第2の遅延手段が $N+1$ 個の出力信号を格納し、ここで N は予め選択された定数であることを特徴とする請求項1記載の計算装置。

【請求項15】該信号処理網が1つの完全なブールカバールを構成するセットの計算を遂行する手段からなることを特徴とする請求項2記載の計算装置。

【請求項16】該信号処理網がCPUからなることを特徴とする請求項2記載の計算装置。

【請求項17】該信号処理網がコンピュータからなることを特徴とする請求項2記載の計算装置。

【請求項18】該信号処理網がNANDゲートあるいはNORゲートからなることを特徴とする請求項4記載の計算装置。

【請求項19】縦に相互接続された計算オリガミからなる計算装置において、個々の計算オリガミが2つの入力および2つの出力を含み、該縦に相互接続された1つのオリガミの出力が該縦に相互接続された別のオリガミの入力に接続され、該計算オリガミ個々がさらに、該2つの入力と該2つの出力の間に挿入された1つの処理要素、

該第1の出力と該第2の入力の間に接続された第1の遅延要素、および

該第2の出力と該第1の入力の間に接続された第2の遅延要素を含み、

該第1および該第2の遅延要素が異なる遅延を提供することとを特徴とする計算装置。

【発明の詳細な説明】

本発明はパラレル計算、より詳細には、高度なパラレ

ル計算に適するプロセッサ アーキテクチャーの技術に関する。

発明の背景

計算速度及び複雑さに対する需要の高まりから、計算技術の注目はパラレル処理に向っている。研究が用いられるアルゴリズム及び使用されるハードウェア アーキテクチャーの両面からさまざまな方向に進められている。パラレル処理分野に関しての適当な概説がR.H.クーン(R.H.Kuhn)らによって編集され、最初、パラレル処理に関する第10回国際会議(Tenth International Conference on Parallel Processing)、1981、8月25-28日、ベライラ(Bellare)、MI開催に提出された[パラレル処理に関する教本(Tutorial on Parallel Processing)]に見つけられる。

パラレル計算における主な論争点は展開されるべき十分なパラレルリズムを同定すること、さまざまなプロセッサを同期すること、及び処理ユニット間の通信を管理することである。

パラレルリズムの最初のアプリケーションはパイプラインド アーキテクチャー(pipelined architecture)との関連であった。このアーキテクチャーにおいては、要求される計算がサブ計算(sub-computations)の順次セットに分割され、これらサブ計算が別個であるが相互接続されたハードウェア内で遂行された。ある意味においては、別個のハードウェア ピースの個々が一連の入力信号に関してある特定の機能を遂行する1つのプロセッサであると言うことができる。

多重プロセッサ網はパラレル コンピュータ アーキテクチャーのもう1つのタイプである。この網においては、幾つかのコンピュータが問題の識別可能な異なる部分に関して同時に働き、中間結果を送り、また全体としての解をコーディネイトするために互いにメッセージを介して相互接続網を通じて通信する。多重プロセッサ網内におけるパラレルリズムの粒度は、典型的には、非常に粗い。問題が主な分割可能な部分に分割され、個々のプロセッサはこの分割可能な部分に対する解が展開されるまで独立して動作する。問題のこの分解ラインは、通信プロセスが複雑で、また“ハンドシェーキング(handshaking)”プロトコルを必要とするため、必要とされる通信及びコーディネーションが最小化されるように選択される。このアーキテクチャーは、通常、高度のパラレルリズム、比較的単純なコーディネーション、及び比較的少ない通信を必要とする問題に対して利用される。この理由は、問題をサブ パートに分解することは、しばしば、このアーキテクチャーを過負荷にするような大きな通信及びコーディネーション負担を導入するという事実に基づく。このコンピュータ網アーキテクチャーの一例としては、Cal Techとして実現される“ハイパーキューブ(Hypercube)”がある。

データ フロー アーキテクチャーはもう1つのタイ

プのパラレル コンピュータ アーキテクチャーを形成する。このアーキテクチャーは、実行されるべきアルゴリズムが独立して処理できる複数の部分に分解できるような場合に最も多く使用される。このアーキテクチャーはこのアルゴリズムの部分が割り当てられる複数のプロセッサを特徴とし、個々のプロセッサは要求される全ての入力到着した時点で起動される。結果として、計算のコーディネーションはデータ流によって達成される。あるアルゴリズムがもつ全てのパラレルリズムを展開することはごく普通のアプローチである。主な短所は“デッドロック(deadlock)”状況に結びつくような相互依存を阻止するために通信を管理しなければならないことである。

アレイ プロセッサはもう1つのタイプのパラレル コンピュータ アーキテクチャーを構成する。このアーキテクチャーは単一の制御ユニットの制御下において動作する多くの機能的に同等の処理要素(processing element, PE)から成る。このさまざまな処理要素はデータが処理要素間で流れることを許されるように相互接続される。この相互接続トポロジーは固定される。ただし、異なる設計は異なるトポロジーをもつ。幾つかの相互接続トポロジーが幾つかの論文、例えば、T.フェン(T.Feng)によってIEEEトランザクションズ オン コンピューターズ(IEEE Transactions on Computers)、Vol.C-23、No.3、1974年3月号、ページ309-318に掲載の論文[パラレル プロセッサにおけるデータ操作機能及びこれらの実現](Data Manipulating Functions in Parallel Processors and Their Implementation)、

D.H.ローリー(D.H.Lawrie)によってIEEEトランザクションズ オン コンピューターズ(IEEE Transactions on Computers)、Vol.-C24、No.1、1975年3月号、ページ1145-1155に掲載の論文[アレイ プロセッサにおけるアクセス及びデータの整合(Access and Alignment of Data in an Array Processor)、及びC.ミード(C.Mead)らによる著書[VLSIシステムの概説(Introduction to VLSI System)]、アジソン-ウエスレー出版社(Addison-Wesley Publishing Company)、リーディング(Reading)、MA、1980年、ページ271-273において紹介されている。アレイ プロセッサ トポロジーはさまざまなアルゴリズム演算、例えば、マトリックス演算の規則性を利用してさまざまな処理要素間のコーディネーション及び通信を簡素化するのに適する。相互接続構成は固定されているため、アレイ プロセッサは同一の操作が多くのデータ項目について遂行されるようなアプリケーション、例えば、マトリックス演算を含むアプリケーションに最も有効である。

上に説明の技術は向上された計算パワーを提供するのにもかわらず、今までに提案されたアーキテクチャーには幾つかの短所がある。1つの問題点はこれらアーキテクチャーが非常に専用化されており、個々が狭いクラ

スの問題のみを効率的に解くように設計されていることである。もう1つの問題は、このアーキテクチャーを最も効率的に使用するのには任意のタスクをいかに構成すべきであるか、あるいはこの逆の事項を教えるこれらアーキテクチャーに関しての指針が提供されていないことである。さらにもう1つの問題は上のアーキテクチャーは使用可能なハードウェアを最も効率的に利用するために可能なパラリズムを動的に割り当てる手段をもたないことである。発明の概要

本発明によるアーキテクチャーは先行技術によるアーキテクチャーの多くの問題を少しの処理アレイを処理要素の全アレイをエミュレートする単一の処理要素（追加のメモリを含む）として使用することによって克服する。エミュレートされるアレイは任意の大きさをもつことができる。本発明によるアーキテクチャーはアレイプロセッサと処理要素の大きなアレイ（ロウ及びカラム）が接近して接合された遅延要素を用いてより小さなアレイにてエミュレートされること、及びこの処理要素がルーティングあるいはスイッチング機能も含む点が異なる。遅延要素内の遅延（及び従ってメモリ）のコントロールによってアレイ内の処理要素の相互接続が決定され、エミュレートされたアレイ内の個々の処理要素が任意の選択された機能を隣の処理要素によって遂行される機能と独立して遂行できるようにすることによって最大限の効率が達成される。

本発明による原理によると、実行すべきアルゴリズムがロウ及びカラムに配列された処理要素のアレイ上に概念的にマッピングされる。ここで、カラム内のデータ依存は単方向であり、また処理要素のロウ内のデータ依存は最大でも単方向である。これは1つのあるいは複数の実際の処理要素を時分割多重化し、概念上の全アレイをエミュレートし、これによってこのアルゴリズムを遂行することを可能にする。処理のスケジューリング及び通信機能はアルゴリズムの概念上のアレイレイアウトによって決定される処理要素によって遂行される。

具体的説明

第1図は上で述べられたC.ミード（C.Mead）らによる本のページ271-273に解説される二次元長方形アーキテクチャーを示す、このアーキテクチャーは基本処理ユニット10の長方形相互接続を特徴とする。ユニット10-1から10-3が最初のロウ（row）内に示され、ユニット10-4から10-7が第2のロウ内に示され、そしてユニット10-8が最後のロウ内に示される。特定のカラム（column）及びロウ内の個々のプロセッサ10は同一のカラムの前のロウ内の処理要素から（例えば、ユニット10-5の場合はライン11を介して）入力信号を受信し、さらに同一のロウの別のカラム内の2つの隣接する処理要素、つまり、右側の要素及び左側の要素から、（例えば、ユニット10-5の場合はライン12及び13を介して）入力信号を受信する。対応するように、個々の要素10はそのロ

ウ内の同一の隣りの処理要素に（例えば、ユニット10-5の場合はライン14及び15を介して）出力信号を供給し、さらにそのカラムの次のロウ内の処理要素に（例えば、ユニット10-5の場合はライン16を介して）出力信号を供給する。

第1のアーキテクチャーは紹介の本の中では個々の処理要素内のいわゆる“内積（inner product）”演算の実現との関連で示されるが、第1図のアーキテクチャーはこれら処理要素の個々の動作を独立的に制御し、また1つの完全なトポロジカルカバー（topological cover）が達成できるように処理モジュールの通信能力を向上させることによって任意の所望の総合機能を遂行するため用いることもできる。この能力が存在することは以下の考察から理解できる。処理の全てのタスクは逐次に遂行できる入力信号にตอบสนองする基本処理ステップの集合に分解することができる。これら処理ステップの多くは、パラレル処理できるようにアレンジされ、この後に、幾らかの逐次処理にアレンジされたステップが続く。処理ステップのパラレル実行のシーケンスは、信号を特定の処理要素に向けるための幾つかのスイッチ手段と相互接続された幾つかの汎用処理要素にて実行できる。第1図においては、パラレルにて遂行されるべき幾つかのステップがプロセッサ10の1つのロウに割り当てられ、パラレルにて遂行されるべき続く複数のステップが処理要素10の次のロウに割り当てられ、処理要素10の次のロウへの信号のスイッチング動作が要素10の間の1つあるいは複数のロウに割り当てられる。要素10は、原理上、信号をパラレル接続（12、13、14、及び15）を介してカラム間で送信することができるためスイッチングに用いることもできる。これに加えて、第1図の構造は個々の処理要素10がこの3つの入力の任意の1つからの信号を3つの出力の任意の1つに向け、最低でもこの2つの入力信号に関して1つの完全なブールカバー（Boolean cover）を形成するセットのブール関数（Boolean functions）を遂行する能力があるかぎり、必要とされる全ての計算及び信号スイッチング機能を実現できることがわかる。前半の要件は信号の通信に関し、後半の要件は信号の論理的相互作用に関する。この2つの要件が揃ったとき計算が可能となる。

第1図のアーキテクチャーによると処理要素が上に記述の要件を備える場合には全ての所望の処理が達成できるのに加えて、個々のロウ内での計算は直ぐ前のロウからの結果のみに依存することがわかる。つまり、これは、さまざまなロウ内で遂行される動作を多重化し、これらを第2図に示されるようなプロセッサ17の1つのロウに折り畳むことができることを意味する。第1図の処理要素10と第2図の処理要素17の唯一の相違点は、要素17があるロウの処理の結果をフィードバックし、次のロウの処理に影響が与えられるように幾つかの遅延あるいはラッチング手段（遅延ライン、フリップフロップ、レ

ジスタ等)を含むことを要求されることである。これに加えて、個々の反復において処理要素の個々が遂行する機能(function)を制御するための手段が要求される。勿論、第2図のアレイの総処理スループットは第1図のアレイの処理スループットより幾分か落ちる。ただし、第2図のアレイは、ハードウェアが小さくてすむこと、及びアレイの有効深さ(ロウの有効数)が固定されず可変でコントロールできるなどの長所もある。従って、構造サイズが実行中の特定のアルゴリズムから分離(decouple)される。

本発明の原理による第2図の構造の1つの大きな長所は、ロウ内の処理要素の個々がそのロウ内の他の処理要素内で遂行される機能と独立してある所望の機能を遂行するように(機能制御バス18を通じて)制御できることである。さらに、処理要素のどれかが時間に“固着(stuck)”されず、個々の要素がアレイの異なるロウをエミュレート(emulate)するとき、異なる機能を遂行することができることである。

第2図のアーキテクチャは、非常にパワフルではあるが、個々の処理要素17がこのロウ内の右及び左隣りの処理要素の両方からのデータに依存するためにこれ以上に縮小することはできない。つまり、要素17の処理は両隣の要素内の処理が完結しない限り完結しない。従って、処理を逐次的に行なうことはできない。このデータ依存、あるいはデッドロック(deadlock)は、計算がさらに分解されることを阻止し、ハードウェアの縮小と処理時間とのトレードオフ(trade off)にある限界を与える。

より優れた構成が、例えば、第3図に示される例のように、1つのロウ内のカラム間の接続が、片方向からのみであるあるいは全く存在しないようなアーキテクチャにて実現される。これに対応する要件は、ロウが信号をこれらより上のロウ、あるいは下のロウのどちらかのみに供給することである。第3図のアーキテクチャはロウ及びカラムに配列された処理要素20をもち、個々の処理要素20は2つの入力及び2つの出力を含む。第3図内の個々の要素20の右の入力は同一カラムの前のロウ処理要素の左の出力から派生される。個々の処理要素の左の入力は左隣のカラムの前のロウの処理要素の右の出力から得られる。個々のロウ内のこの隣接関係(adjacency relationship)はロウ内の全ての処理要素に対して同一である。つまり、ロウ内の全ての処理要素はこの処理要素の左に当る前のロウ内の隣接する処理要素に接続される。ロウ内のこの隣接関係は、必ずしも右あるいは左の関係である必要はなく。またロウ間で同一方向に保たれる必要もない。この設計上の自由は第3図のアーキテクチャにおいては具体化されてない。また、エミュレーションを遅延ライン(あるいはFIFOメモリ)のみで達成したい場合は、この設計上の自由に幾らかの制約が課される。第1図に示される両サイドロウ内依存(tw

o-sided intra-row dependency)を分解すると、第3図の構造はロウのみでなくカラムにも折り畳むことができる。これに加えて、2つの入力及び2つの出力のみをもつ処理要素20を用いることにより、プロセッサ20を最小限の回路にて実現できる。通信部分はクロスオーバー、バイパス、及びフォーク動作を実現するのみでよく、論理部分はNORあるいはNAND機能を実現するのみでよい。この最小限の回路は1つの完全なトポロジカル及びロジックカバー(topological and logic cover)を提供する。

第4図は処理要素20に対する1つの実施態様を示す。本質的に、これは信号を出力ライン26及び27に分配するのに用いられるプログラマブル3入力×2出力クロスバースイッチ23に接続された入力21及び22を含む非常に基本的なPLAである。ライン21及び22はまたNORゲート24内で結合され、この出力はクロスバースイッチ23に加えられる。クロスバースイッチ23内のクロスポイントは特定の相互接続パターンを与えるように制御あるいはプログラムすることが可能である。この制御可能なクロスポイントは、示されるごとく、バス30から得られる“専用化(customizing)”制御信号によって制御されるANDゲートにて実現できる。

第4図の処理要素は上に指定の基本セットの機能を実現できるのみでなく、ぎりぎりの最低限度を提供する以外はどのような要件も必要としないことが判明した。事実、要素20は、要求される機能、動作速度(影響を与えるスループット)、及び制御の複雑さによって現実に要求されるだけの複雑さにされる。例えば、これは豊富なセットの原子命令を実行する従来のCPUでも、あるいはあらかじめ選択されたサブルーチンを実行する1つの完全なコンピュータでもあり得る。

第2図との関連で述べられたごとく、個々の処理要素17は幾つかの遅延あるいはメモリ手段とともに用いることが必要である。第4図の処理要素20が第3図の全アレイを実現するのに用いられる場合は、異なる遅延あるいはメモリ手段が必要である。これは、この処理要素はあるロウ内の特定の要素の機能を実現するが、同一のロウ内のこの特定の要素の左の要素に対して前に計算された値及びこの要素の右の上のロウの要素に対して計算された値を覚えておく必要があるという事実による。

第5図はロウ及びカラムをエミュレートするように多重化された単一の処理要素をもつ第3図のアーキテクチャを実現するための構成を示す。これは、第4図に図解される処理要素20に加えて要素20に信号を供給するORゲート31及び32並びに(上に説明の)それぞれ要素20の2つの出力ポートから入力信号を受信する遅延要素33及び34を含む。より具体的には、要素20の右の出力は遅延要素33に加えられ、遅延要素33の出力はORゲート32への入力の1つに接続される。ORゲート32の出力は要素20の左の入力に接続される。対応するように、要素20の左の

出力は遅延要素34に加えられ、遅延要素34の出力はORゲート31の入力の1つに接続される。ORゲート31の出力は要素20は右の入力に接続される。要素33及び34はFIFO（先入れ先出し）メモリであり、要素33及び34によって提供される遅延は、勿論、第3図のアーキテクチャー内のロウの“幅（width）”、つまり、エミュレートされたアレいのロウ内の処理要素の数と関連する。より詳細には、要素33及び34に要求されるメモリは

$D34 = N$ 、

及び

$D33 = N + 1$

である。ここで、Nはロウの“幅（width）”である。

第3図の回路は第5図の回路によって時分割多重を通じてエミュレートされるため、第5図の回路の入力、出力、及び制御は逐次である。入力信号は第1のロウがエミュレートされるとき加えられ、出力信号は最後のロウがエミュレートされるとき抽出される。専用化制御信号（customizing control signals）（バス30）はこのアレいの個々のPEのエミュレーションとともに加えられる。また、時分割多重のために、入力及び制御信号は反復的に加えることが要求され、また出力は反復的に捕捉される。本発明によるアーキテクチャーのこの面に関しては、1つの例とともに後に詳細に説明される。

適当な制御下において、第5図の回路は第3図に図解されるものと本質的に同一のアレイ アーキテクチャーを実現する。第3図と異なる点はアレい エッジの所で信号の扱いのみである。つまり、第5図のアーキテクチャーはアレい エッジ出力信号が他のアレい エッジポイントの所で入力信号として自然に通信できるようにし、また、これら接続はいつも用いられることはないが、これらは特定の設計の実現に追加の自由度を与える。一例として、第6図は第5図の回路が全アレいをエミュレートするのに用いられたときのアレい エッジ（ライン41-44）の接続を図解する。

示されるごとく、第5図の構成は1つの処理要素20を含むが、これが遅延要素との組合せで全アレいをエミュレートする。逆の言い方をすれば、全アレ이가1つの処理要素に折り畳まれる。ただし、第3図のアーキテクチャーの1つの大きな利点は、“折り畳み（folding）”の程度が選択できることである。これは、実行されるアルゴリズム、要求される処理速度、使用できるハードウェア、及びこれらの組合せの関数として決定される。つまり、1つの処理要素を用いることも、あるいは1つのロウ内に2つの処理要素、1つのカラム内の2つの処理要素、1つのロウ内の2つの処理要素の小さなアレい及び1つのカラム内の2つの処理要素、あるいはロウ内の任意の数の要素をもつ大きなアレいの処理要素及び任意の数のロウの処理要素を用いることによってこの折り畳みの程度を少なくすることもできる。第7図、第8図及び第9図は、使用されるサブアレいが、同一のロウ内に

2つの処理要素を含む場合、同一のカラム内に2つの処理要素を含む場合、及び 2×2 アレいの処理要素を含む場合の例を示す。

第7図に示されるように1つのロウ内に2つの処理要素を使用する構成は、4つの遅延要素を使用することが要求される。ただし、個々のサイズは第5図内の遅延の半分である。すなわち、1つは $N/2 + 1$ （ここでNはロウの“長さ”）の遅延をもち、残りの3つは $N/2$ の遅延をもつ。第8図に示されるように1つのカラム内に2つの処理要素を使用する構成は第5図のような2つの遅延要素に加えて、最も上の処理要素（20-1）の最も右側の出力を最も下の処理要素（20-2）の最も左側の入力に接続する1つの単位遅延の遅延要素35を要求する。第9図は1つのアレ이가 2×2 アレいの処理要素に折り畳まれたケースを示す。ついでながら、第8図から第9図はカラムの相互接続の向きがロウからロウへの方向と反対であるアレいを実現することに注意する。

本発明によるアーキテクチャーは所望のサイズのアレイの実現におけるフレキシビリティを持つのに加えて、任意のサイズの任意の数のアレいを任意の順番に（本質的に）同時に実現できるという追加のフレキシビリティ及び長所をもつ。つまり、あるアプリケーションにおいては、同時に起こる多数の入力が存在することが考えられ、従って、長いロウをもつ1つのアレいを与えることが有利である。遅延値（例えば、D33及びD34）を適当に選択することによって所望のアレイ幅が得られる。このようなアプリケーションにおいては、計算が、おそらく、非常に速く達成されるため、要求されるロウの数は少ない。反対に、あるアプリケーションにおいては、大きなロウの幅は要求されないが、ロウの数が大きいことを要求される。遅延をコントロールする同じ技術によって、目的を達成するようにこのアレいを修正することができる。さらに別のアプリケーションにおいては、同時に進行されるべき2つあるいはそれ以上の独立したタスクが存在し（タイム シェアリング、マルチ、タスキング等）、ユーザが多少の処理速度を犠牲にする覚悟があるようなケースもある。このようなアプリケーションにおいては、エミュレートされるアレいを遅延値の適当な動的コントロールによって個々のプロセスに最も適するように細分することができる。

遅延要素をコントロールすることによってエミュレートされるアレいの幅を簡単にコントロールできるのと同じように、エミュレートされるロウの数をコントロールすることも非常に簡単である。所望の数は出力データが処理要素からアクセスされる時期及び新たな入力データが処理要素に挿入される時期を個々の処理要素の機能を命令する制御信号との組合せで制御することにより実現できる。

本発明によるフレキシビリティのもう1つの根源は遅延要素間の関係にあり、この関係はアレいの有効接続を

13

コントロールする。例えば、第5図との関連において、このN、N+1の関係は“隣中間 (adjacent neighbor)”の接続を生成する。また、例えば、遅延値の関係がN、N+2のような場合は、“スキップ ワン (skip one)”接続が生成される。第10図は遅延値が別個の制御信号の影響下で調節できる構成を図解する。遅延要素D1及びD2及びこれに続くアテンダント スイッチは、単に、処理要素の出力と入力との間に直列に接続できる任意の数の遅延/スイッチの組合せを代表する。個々のスイッチは直接信号経路か遅延された信号経路のいずれかを

選択し、これにより選択された遅延セグメントが信号あるいはバス40の制御下において挿入される。遅延 (D1とD2)は同一であってもなくても良く、また遅延の上側ストリングに対する制御は遅延の下側ストリングに対する制御と同じであってもなくてもよい。このフレキシビリティは異なるアレイ幅及び異なる相互接続パターンの実現を許す。

エミュレートされるべきアレイがサブアレイに折り畳まれる場合はさらに追加のフレキシビリティが得られる。例えば、第9図において、2×2サブアレイ内の個々の処理要素の相互接続は固定される。ただし、このサブアレイ内の基本処理要素間の固定された関係を保持する理由は存在せず、いったんこれが理解されると、処理時間をパラレルイズム (parallelism) に対して引き替える追加のフレキシビリティが存在することがわかる。つまり、処理要素を1つのカラム、1つのロウ、あるいはこの中間の任意の組合せを形成するように相互接続することができる。ロウを形成するようにアレンジされた場合は、最大のパラレル処理が実現される。一方、カラムを形成するようにアレンジされた場合は、要求の少なくとも一部の答えとして (ラテンシーの点から) 最大の処理速度が実現される。ある意味において、これはエミュレートされたアレイを通じての異なるタスクのタイプライニング (pipelining) を許す。(遅延値の選択に依存しない) この相互接続のフレキシビリティが第11図に図解されるが、ここでは4つの処理要素がスイッチ50を通じてこの構成の入力及び出力端子と相互作用する。バス51を介して制御されるスイッチ50は、所望の再構成フレキシビリティを実現する任意のスイッチ (例えば、クロスバー スイッチ) であり得る。

本発明によるアーキテクチャーを用いると本当の意味での汎用プロセッサが実現できることが発見された。先行技術によるパラレル プロセッサ アレイは、これらアレイが常に汎用処理でなく特定のタスクに対して設計されてきたためそうではなかった。この汎用プロセッサに対する制御は、任意の他の機能をエミュレートするための本発明によるアレイの制御と同様に、基本処理要素アレイの制御ポート、例えば、第5図のバス30を通じて行なわれる。この制御はエミュレートされたアレイ内のさまざまな処理要素への処理負荷の割り当てに直に続

14

く。事実上は設計上の方法論である“割り当て (assignment)”プロセスの一例が以下に示される。

本発明によるアーキテクチャーにより実現される汎用コンピュータの制御と関連して注目すべき重要な事項は条件付きで分岐である。従来の汎用プロセッサにおいては、格納されたプログラム制御が、通常、多くの分岐文を含む。分岐が要求されると、プログラム カウンタが幾つかの命令を前後にジャンプし、これにより幾つかの命令が実行されなかったり、あるいは異なる順番で実行されたりする。一見したところでは、その状態をプリセットできる (“ジャンプ”を実行する) プログラム カウンタをもたないプロセッサでは、条件付き分岐が困難な問題を与えるように思える。しかし、実際には、問題は全く存在しない。従来のコンピュータ アーキテクチャーはプログラム カウンタを含み、そしてその状態をプリセットできるカウンタは簡単に実現できる。このプログラム カウンタをジャンプさせることは単にカウンタを増分する以上のステップを要求するが、実行を必要としない命令をジャンプすることによって、通常、これ以上の処理時間が回復される。一方、条件付きジャンプを命令内に起動条件を組みこむこと、及び、この起動条件下で個々の命令を順番に遂行することによって完全に回避することもできる。通常、この方法は、個々の命令が別個に起動あるいは不能にされ、また少なくとも遂行することを試みられるため、及び個々の命令がこれが条件を組み込むためにより複雑となるために用いられない。ただし、本発明によるアーキテクチャーによると、多量のパラレルイズムによりこの複雑な命令が単純な命令とほとんど同じ速度で遂行でき、従って、条件付き分岐技術に本来用いられる条件付き実行を命令自体に組み込むことが一般に有利である。

換言すれば、従来のコンピュータ及び本発明による計算オリガミ (computational origami) の両方において、解かれるべき問題はある意味でマッピングされ、ハードウェア ウィンドウ (従来のコンピュータの場合はCPU;本発明による計算オリガミの場合は処理要素のサブアレイ) がこのマッピングされた問題にバスされる。主な差異は本発明による処理アレイが問題をスキャンするのに対して、CPUは分岐文を介して指令されるように問題をジャンプする点である。スキャン法の欠点は能動でない領域にまで訪れなければならないことであり、一方、ジャンピング法は分岐誘導命令パイプライン及びキャッシュ欠陥並びに割り当てあるいはレジスタと関連するオーバーヘッドに起因する効率上の問題をもつ。スキャン法の長所は任意の大きなウィンドウにて、及び複数のハードウェア ウィンドウにて同時に、問題を協力して同時にスキャンできることである (サブアレイの継続)。

勿論、プログラムの幾つかのセクションがあつたにアクセスされない (例えば、エラーが検出された場合のみ

アクセスされる) ような状況が存在し、従来のアーキテクチャーでは、この稀にしかアクセスされないコードは単にプログラム メモリ内に置かれる。このため計算資源が消費されることはない。上に説明の本発明による方法の場合は、条件が順次実行コード内に組み込まれるため、一見した所では、計算資源が不要に消費され、処理速度が落される原因となるような気がする。一般にはこのようなことはなく、これに加えて、本発明によるアーキテクチャーとともに用いられるプログラム メモリを遭遇される条件に基づいてスイッチ インあるいはスイッチ アウトされるセクションに分割することが可能である。換言すれば、プログラム メモリをスイッチすることによって完全なフレキシビリティが得られる。

プログラム メモリの説明と関連し、処理要素に制御信号を順次に提供する任意の手段を用いることができる。これは従来のランダム アクセス メモリでも、あるいは遅延ラインでも良い。好ましくは、プログラム メモリとして機能する手段の動作速度は、処理要素(20)の動作速度より速いことが要求される。第4図の処理要素の実施態様では、6つの制限信号が要求される。これら制御信号は、例えば、6つの遅延ラインから直接に得ることも、あるいは3つの遅延ラインからコード化された形式にて得ることもできる。殆んどの場合、直接制御から得られる速度の節約が追加の遅延ラインのコストを上回る。勿論、これは用いられる具体的に技術に依存する。

速度に注意が向けられたが、同期の問題にも注意を向けるべきである。上に説明の処理要素は非同期ではあるが、遅延ラインを出力信号を格納するために使用するにあたっては含蓄同期(implied synchronization)が存在し、またプログラム メモリから処理要素に加えられ制御信号にはクロック同期される局面がある。これらPE実現(例えば、第5図)内に用いられる遅延が桁送りレジスタである場合は、クロックを供給することが必要である。これら遅延がアナログ(例えば、石英遅延ライン、あるいは光ファイバ ケーブル)である場合は、この遅延の長さをプログラム メモリによって供給される命令の速度と対応するように注意深く測定することが必要である。このプログラム メモリもアナログ遅延ラインである場合は、この遅延の長さはこのPE内の遅延ラインの長さに良く合せられており、またこのプログラム メモリ遅延ライン内の信号の分配は所望の動作速度に対応しなければならない。

機能設計例

本発明によるアーキテクチャーによる任意の処理機能の実現は従来の開始ポイントの任意の所から開始する単純な手順に従って進行される。これは、略ダイアグラム、ブールの式、状態ダイアグラム等であり得る。以下の例は、単に、上に説明の幾つかのアプローチによって実現できる方法論を図解するものである。

第1図は実現されるべき略ダイアグラムを表わす。便宜上、このダイアグラムは実現を楽にするような方法で描かれている。つまり、個々のゲートはその上の回路によって前に計算された情報に依存する。回路がこのように表わされていない場合は、これは上の条件が満たされるように常に書き直すことができる。上の条件が達成できないような状況は、不安定(発振)の状況、あるいは不安定と同定され結果的にこの論理の実現から除外されるメモリ要素の存在に対応する。“メモリ”を隔離することが適当でないと決定された場合は、フィードバック経路が破られ、別個のリードがそれぞれ“最も上(トップ)”及び“最も下(ボトム)”に延ばされる。

第12図において、NORゲート41は入力信号“a”及び“b”に回答し、NORゲート42は入力信号“c”及び“d”に回答し、そしてNORゲート43は入力信号“g”及び“h”に回答する。ゲート41の出力はNORゲート44に加えられ、ゲート44はNORゲート45及び出力リード“i”に信号を送る。ゲート42の出力はNORゲート44、46及び47に加えられ、ゲート44及び47の出力はゲート45に加えられ、ゲート46の出力はまたNORゲート48に加えられ、NORゲート48は入力信号“e”からの追加の入力を受信する。ゲート46も追加の入力信号“f”を受信する。ゲート45、47、48、及び43の出力はそれぞれ出力信号“j”、“k”、“l”、及び“m”を形成する。出力“k”及び入力“f”は最初にセットのリセット フリップフロップ構成を形成するように接続された1つのペアの信号であり得る。

第12図内の能動要素の全てはNORゲートであり、任意のブール関数はNORゲートのみで実現できることは周知である。第12図の構成においては、ゲート41、42及び43が処理要素の第1のロウを形成する。ゲート46は処理要素の第2のロウ内の存在し、ゲート44及び47は処理要素の第3のロウ内に存在し、そしてゲート45及び48は処理要素の第5番目のロウ内の実現される。これも第12図にアレンジされているごとく、必要な信号スイッチング、あるいはダイレクティングを実現するための追加のロウは必要でない。この状況が第13図に示されるアレイによる第12図の略ダイアグラムの実現に図解される。第13図は第9図に示されるのと同じ相互接続構造をもち、このアレイ内の異なる処理要素は第13図に示される異なる機能を引き受ける。第12図の回路は4つの基本機能、つまり、出力信号を処理要素の両方の出力に提供するNORゲート、クロス オーバー接続、レフト フォーク接続(leftfork connection)、及びパス スルー接続(passthrough connection)の4つの基本機能のみを実現する処理要素にて実現される。第14図はこれら機能の割り当てを強調して示すが、ここで、文字AはNORゲートに対応し、Bはクロス オーバーに対応し、Cはレフト フォークに対応し、Dはパス スルーに対応し、そしてZは“ドント ケア(don't care)”状態に対応する。第15図は2処理要素構成をもつ第14図の実施例態様

への入力信号及び制御信号の流れを図解する。

状態ダイアグラムが与えられたときの設計方法論を図解するために、第16図は8個の異なる状態（0-7）をもつ有限状態マシンに対する単純な状態ダイアグラムを表わす。ある状態を別の状態に接続する経路は状態の流れの方向を示す1つの矢印及び"3/C"の形式の1つの記号を含む。このスラッシュの左の記号はこの経路に沿ってのある1つの状態から次の状態への遷移を起させる入力に関し、スラッシュの右の記号はこの遷移との関連で発生する出力を指定する。

例えば、第16図の状態ダイアグラムに対して、以下のテーブルはPLA52を完全に記述し、従って、個々の出力は明示的に記述できる。例えば、テーブルからレジスタ53に入れられる状態の最下位ビットに対応する出力信号Coは、以下であることがわかる。ここで、Ai、Bi、Ci、Di、及びEiはPLAに加えられる状態及び入力に対応するPLA52の入力信号である。

PLA入力		PLA出力	
状態	入力	状態	メッセージ
000	11	110	11
001	00	101	11
001	01	100	01
001	10	110	01
010	00	111	00
011	01	100	01
011	10	010	01
100	00	101	00
101	10	110	01
101	11	011	11
110	01	111	00
111	10	001	00

上に定義されるブールの式は従来の技術に従ってNOR関数の実行にて表わすことができ、このように表わされた場合、このブール関数は第12図との関連で記述された方法にて達成できる。

本発明によるアーキテクチャーにより汎用コンピュータがいかに実現されるかを解説するためには、単純なプログラミング例、例えば、2つの数を加算するようなプログラムについて考察すると良い。従来の汎用コンピュータにおいては、Aレジスタ、Bレジスタ、演算論理ユニット（ALU）、メモリ、及びこのメモリ内に常駐するプログラムが存在する。2つの数を加えるプログラムは、レジスタAを第1の数にセットさせ、続く命令がレジスタBを第2の数にセットさせ、さらに続く命令によってALUが加算機能を遂行する。

本発明によるアーキテクチャーにおいては、加えられるべきこの2つの数は処理要素の第1のロウ内において、インターリーブ法（interleaved manner）にて生成さ

れ、続くロウによって総和が生成される。高スループットを達成するために、当然パイプライン法が用いられ、恐らく、この信号処理網内にハーフ加算器（half adder）を含む処理要素が用いられる。この構成が第18図に示される。数01011と00111が網にて加えられ、処理要素（PE）の信号処理網はハーフ加算器（HA）である。第4図に示めされるPEが用いられる場合（NORゲートが信号処理網に用いられた場合）、ビットAiがビットBiに加えられる個々のハーフ加算器機能は第19図に示されるように2つのロウによって実現される。

上の図面及び説明は単に本発明の原理解説するためのものである。本発明の精神及び範囲から逸脱することなくさまざま拡張及び修正ができることは勿論である。例えば、第4図との関連で説明された処理要素は全ての必要な機能を実現するが、この処理要素内にこれ以上のハードウェアを組み込むことができることは明白である。また、上の殆んどの説明に対して選択された処理要素は、2入力、2出力デバイスであるが、全てがこれに従う必要はない。例えば、第3のリードが同一のロウ内の処理要素に接続するように用いられるような場所は、3つの入力及び3つの出力をもつデバイスが用いられる。事実、前の図面に示される1×2、2×1、及び2×2アレイは、概念的には多重入出力処理要素とみることができる。

既に上に説明されたごとく、PE内の信号処理網はまた、1つの演算ユニット、従来のコンピュータの1つの完全なCPU、あるいはさらにはさまざまな計算アルゴリズムを効率的にフォールディング（folding）及びリカースティング（recasting）するための1つの完全なコンピュータを含むこともできる。さまざまな信号交換アルゴリズム、例えば、FFTが直ちに思い浮べられる。

処理要素は必要なメッセージング プリミティブをもつオペレーティング システム内のプロセスでもあり得る。従って、これはさまざまなプロセスの協力関係を編成し、プロセスと、例えば、ディスク メモリ間の通信を最適化するために用いることもできる。

別の方向から見ると、上に説明の複数の計算オリガミある1つの計算オリガミの出力を続く計算オリガミに接続することによって縦に接続することもできる。この縦の接続は、結果として、問題をオリガミの間に分割し、高いスループットを可能とする。結果的には、これはパイプラインに等しい。第20図は第5図のモデルに基づく縦続構成の編成を示す。

より一般的には、本発明によるアルゴリズムを取り、このアルゴリズムをレギュラー フォーマットにカーサティングし、このフォーマットをスラント アレイ（例えば、第7図）あるいは個々のロウ内に単一方向の信号流をもつスラント アレイ（例えば、第8図）のいずれかにマッピングし、次にこれを折り畳むこの方法は、ゲ

19

ート レベルからシステム レベルまでの全てのアルゴリズムに適用できるものであり；またハードウェア及びソフトウェアの両方に適用できる。

〔図面の簡単な説明〕

第1図は処理要素の二次元長方形アレイを示す図；

第2図は単一行の処理要素に機能的に折り畳まれた第1図のアレイを示す図；

第3図はロウ内の処理要素がそのロウ内の他の処理要素に対するデータの依存性をもたない二次元長方形アレイを示す図；

第4図は第3図の構成を実現するのに有効な処理要素の略図；

第5図はFIFOメモリ手段を結合され全アレイをエミュレートするのに用いられる単一の処理要素をもつ構成を示す図；

第6図は第5図の構成は全アレイをエミュレートするように多重化した結果としてのアレイ接続を示す図；

第7図から第9図は異なる処理アレイ構成を示す図；

第10図は遅延値が制御可能な一例としての構成を示す図；

第11図は処理アレイ内の相互接続フレキシビリティを示す図；

* 第12図は任意の機能を実現する方法を図解するために提供される1つの例の略図；

第13図及び第14図は第12図の例のアレイへのマッピングを示す図；

第15図は第7図に示されるタイプの多重化された処理アレイによる第14図のアレイの実現を示す図；

第16図は本発明の原理を利用する方法を図解するために提供されるもう1つの例の状態ダイヤグラムを示す図；

第17図は状態ダイヤグラムを本発明の原理に従って実現可能なレギュラー アレイにマッピングすることを助ける第16図の状態ダイヤグラムのプログラマブル論理アレイの実現を示す図；

第18図は処理要素がハーフ加算器である計算オリガミ内で2つの数を加えるための構成を示す図；

第19図は第5図に示されるタイプの基本処理要素にてハーフ加算器を実現するための1つの手段を示す図；そして

第20図は継続された構成を示す図である。

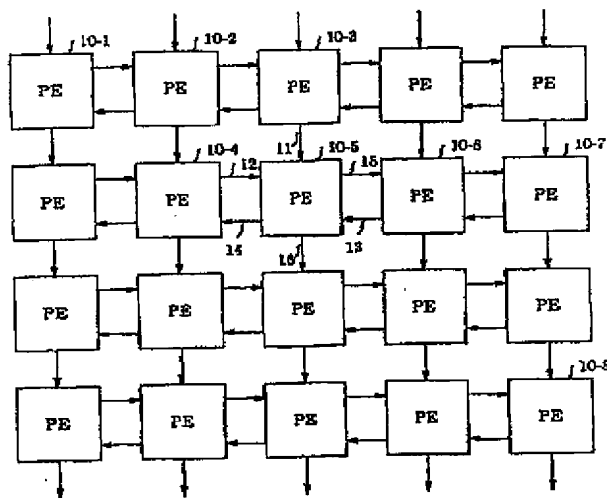
<主要部分の符号の説明>

10 処理要素………10、20

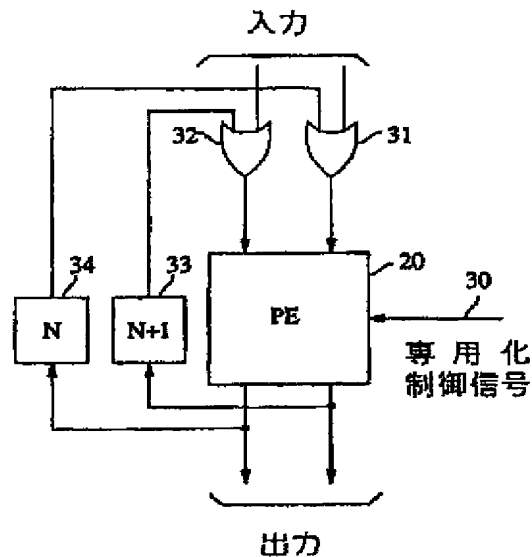
プロセッサ………17

*

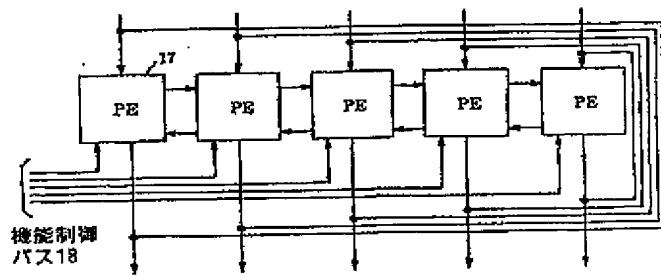
〔第1図〕



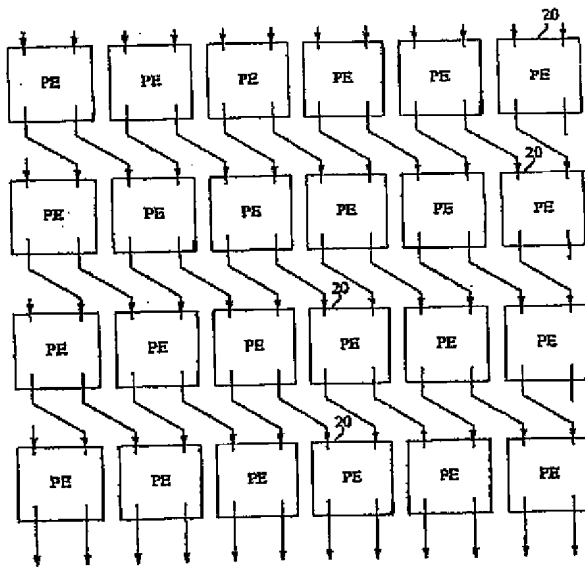
〔第5図〕



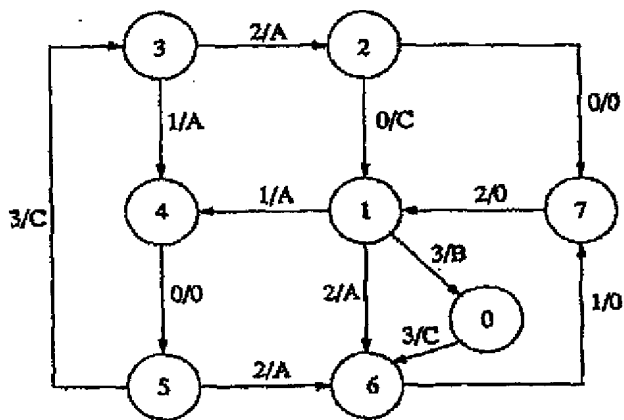
【第2図】



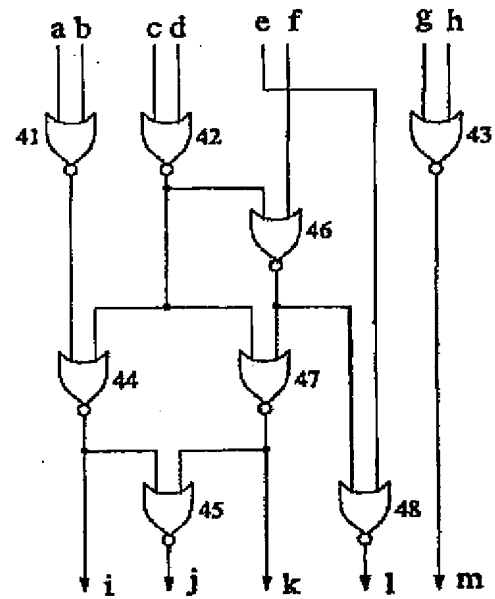
【第3図】



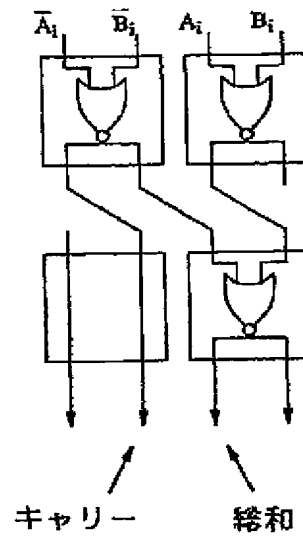
【第16図】



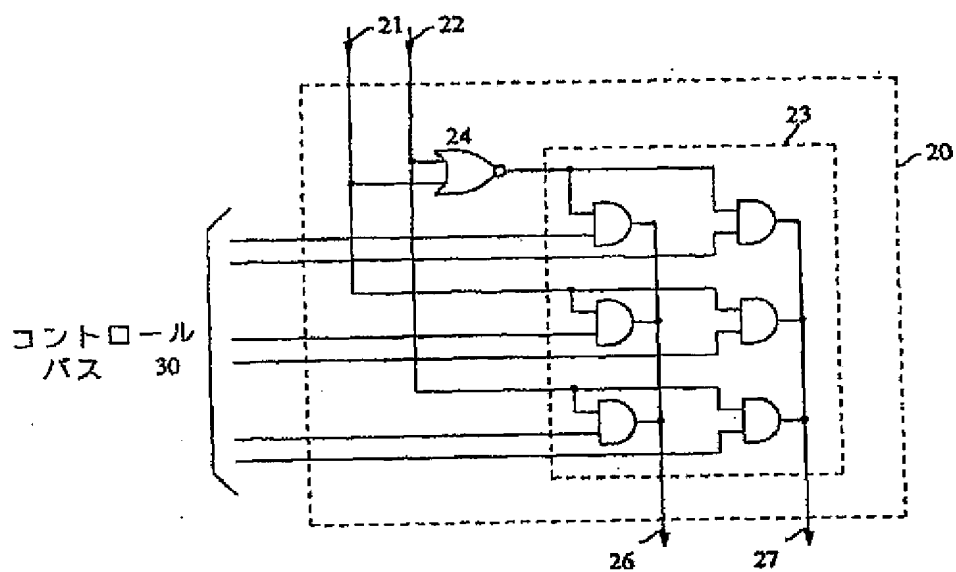
【第12図】



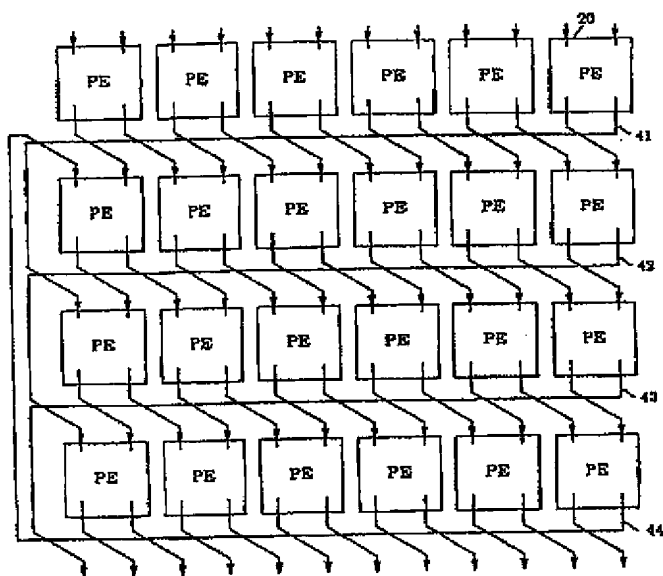
【第19図】



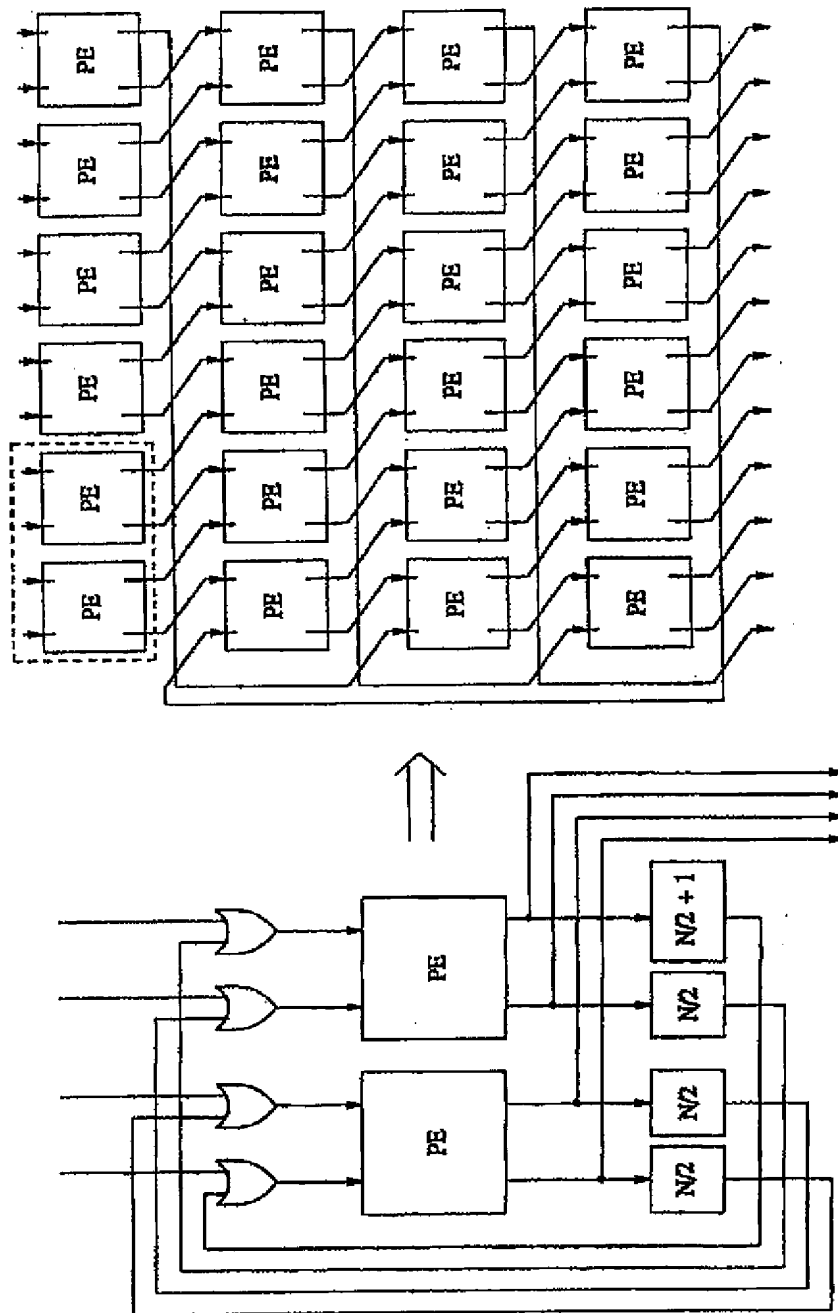
【第4図】



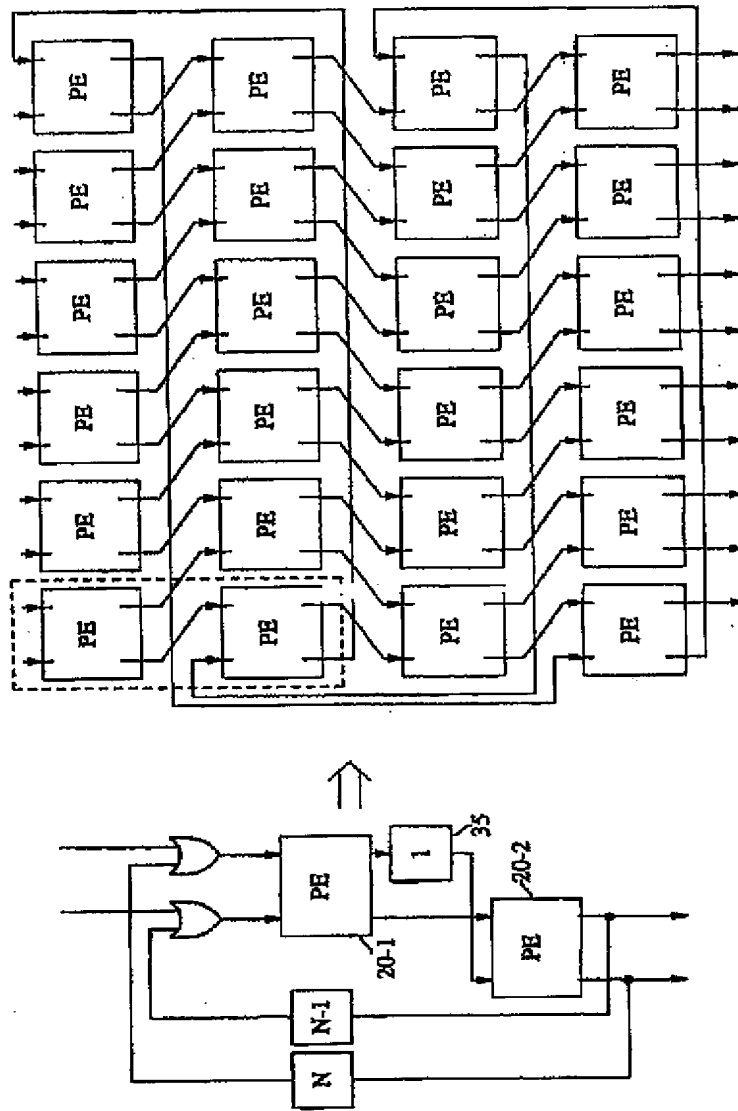
【第6図】



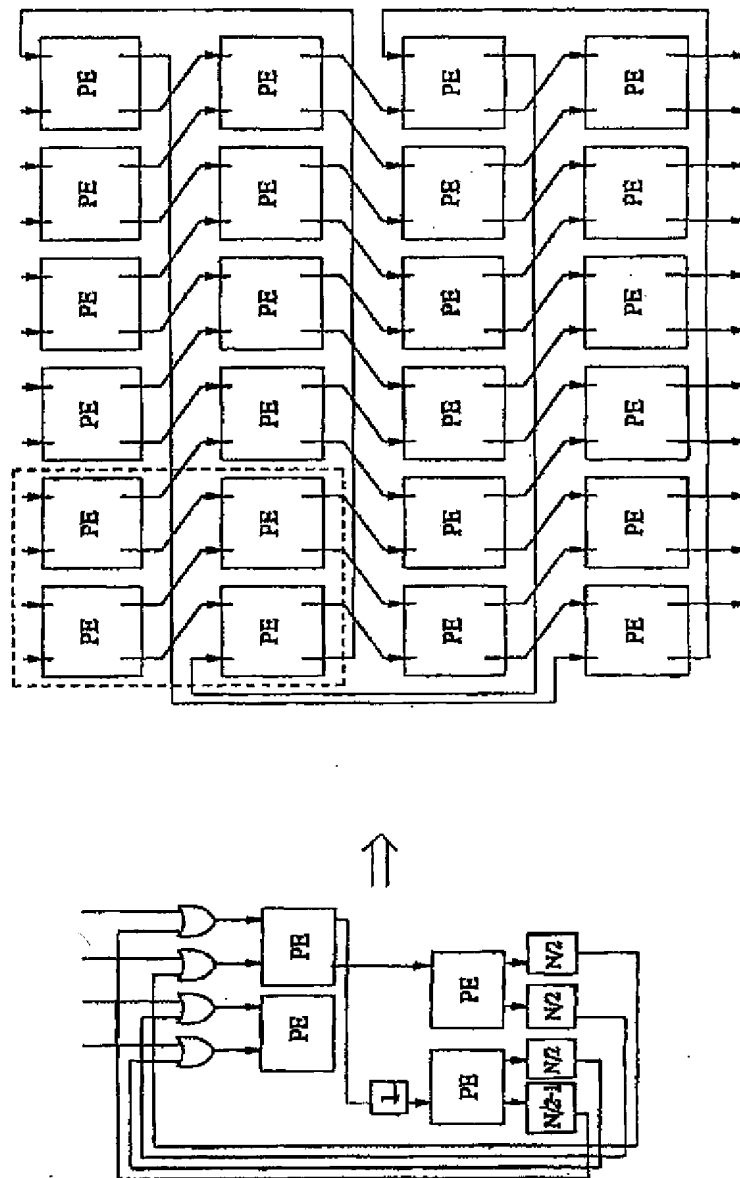
【第7図】



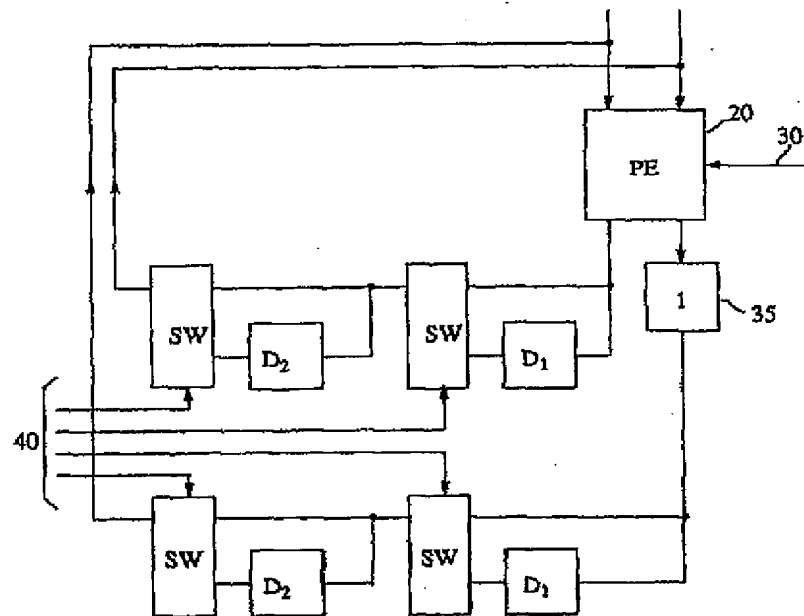
【第8図】



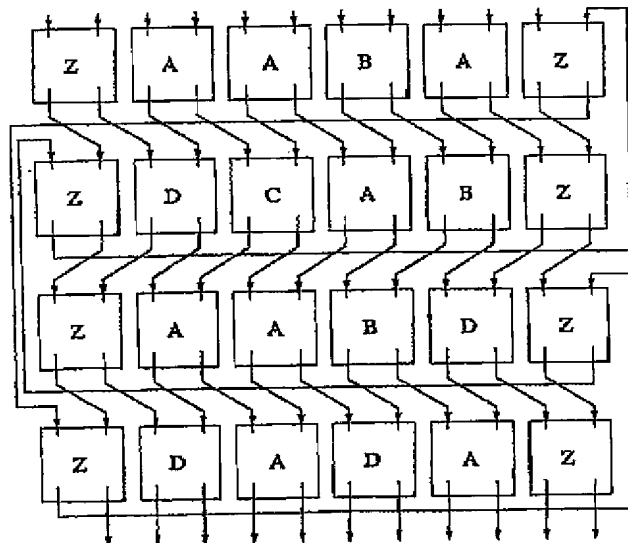
【第9図】



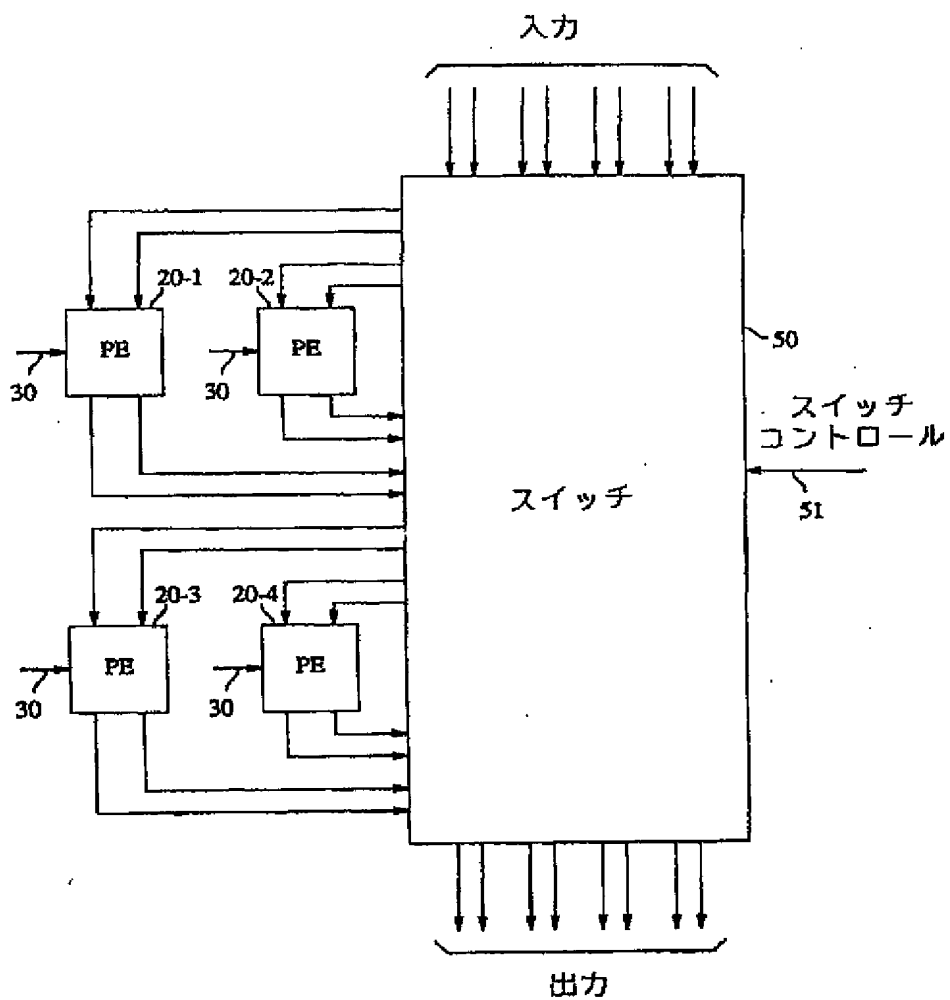
【第10図】



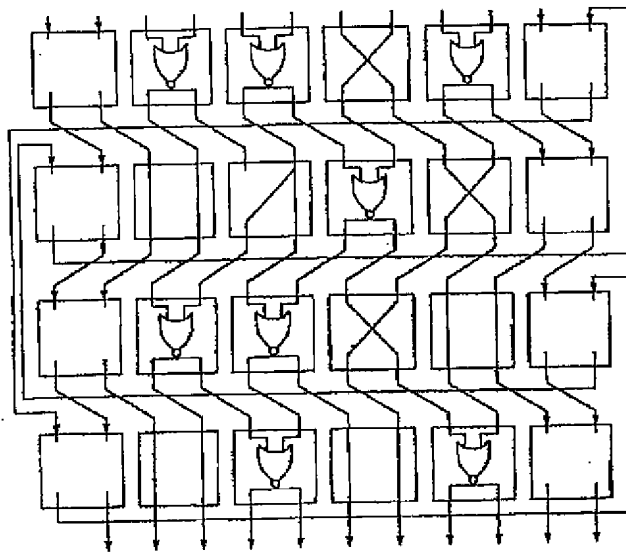
【第13図】



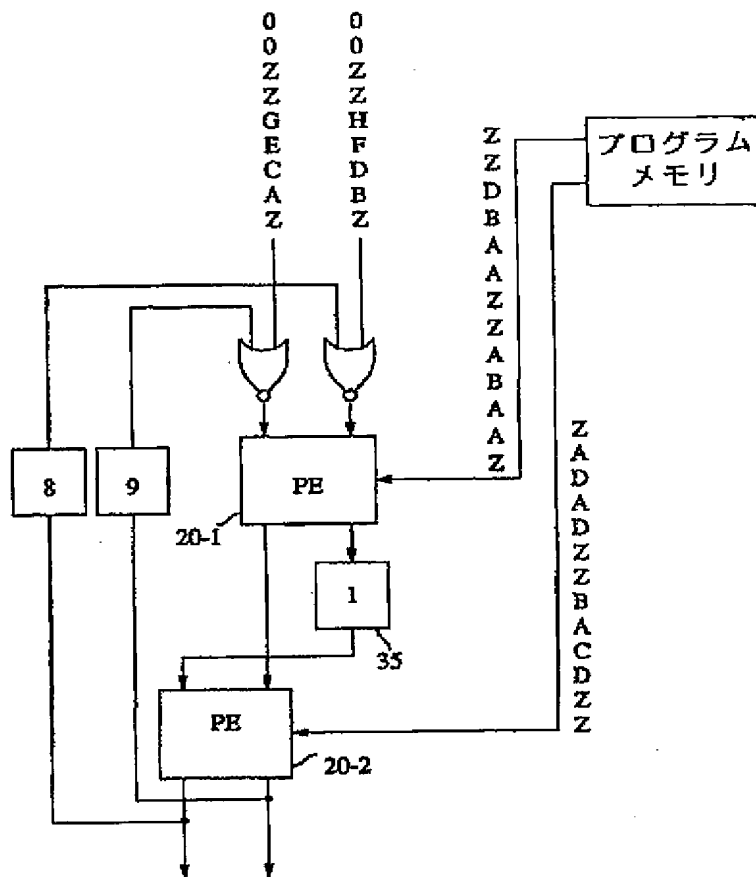
【第11図】



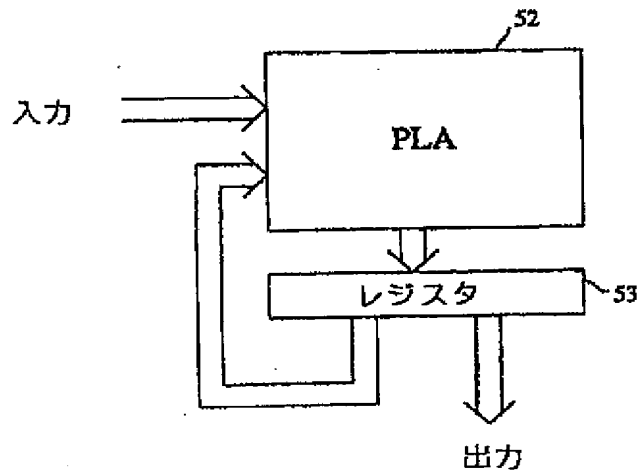
【第14図】



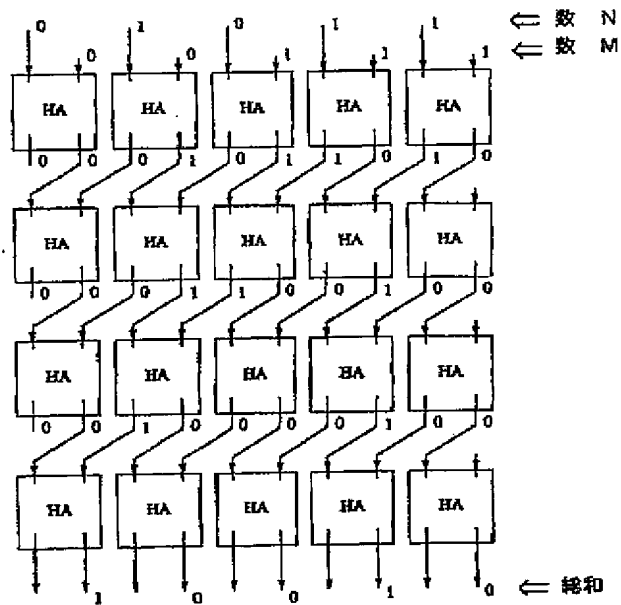
【第15図】



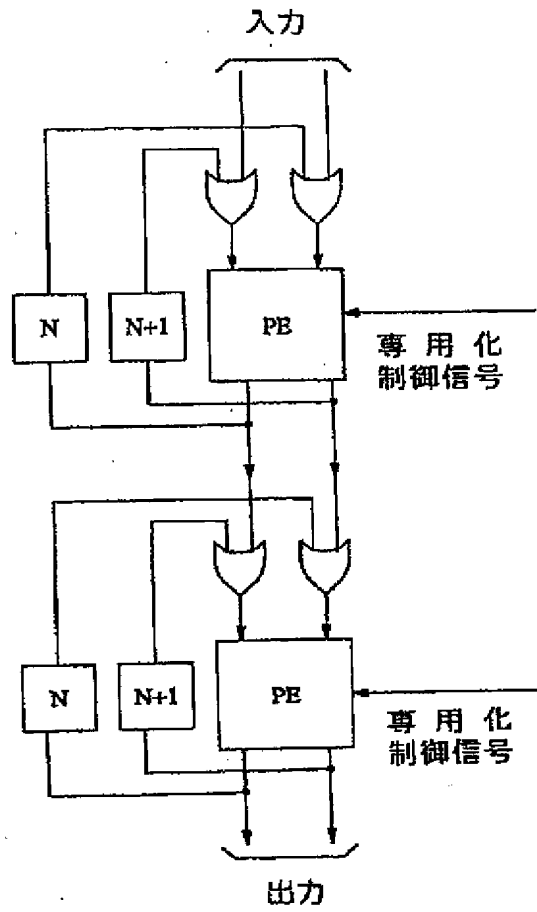
【第17図】



【第18図】



【第20図】



【正誤表】

【特許番号】

第2500268
第2500279
第2500989
第2501449
第2501944
第2502063
第2502324
第2502491
第2502964
第2503047
第2503107
第2504450
第2504483
第2504532
第2504971
第2505267
第2505290
第2505417
第2505584
第2505782
第2506324
第2506562
第2506822
第2506922
第2506999
第2507302
第2507450
第2507714
第2509078
第2509259
第2509281
第2509408
第2509678
第2509723
第2509724
第2509749
第2509750
第2510199
第2510283
第2510428
第2510742
第2510748
第2510751
第2510959
第2511123
第2511307
第2511432
第2511732

第2511971
第2512516
第2512552
第2512553
第2512703
第2512717
第2512739
第2513283
第2513712
第2513910
第2514006
第2514199
第2514233
第2514700
第2514999
第2515313
第2515495
第2515714
第2515728
第2516081
第2516871
第2516882
第2517201
第2517210
第2517257
第2518105
第2518760
第2518875
第2518887
第2518889
第2519227
第2519248
第2519549
第2519595
第2519751
第2519772
第2519962
第2519982
第2520092
第2520099
第2520145
第2520460
第2520600
第2520694
第2521284
第2521504
第2521639
第2521708
第2521773
第2521836

第2521837
 第2522236
 第2522237
 第2522473
 第2523093
 第2523122
 第2523135
 第2523149
 第2523312
 第2523343
 第2523351
 第2523468
 第2523487
 第2523965
 第2524100
 第2524122
 第2524329
 第2524549
 第2524693
 第2524758
 第2524799
 第2524800
 第2524860
 第2524903
 第2525048
 第2525251
 第2525474
 第2525564
 第2525840
 第2526227
 第2526813
 第2526885
 第2526949
 第2527468
 第2527586
 第2527780
 第2527811
 第2527918
 第2528007
 第2528008
 第2528126
 第2528155
 第2528199
 第2528302
 第2528320
 第2528553
 第2528876
 第2529126
 第2529341
 第2529988

第2530001
 第2530312
 第2530603
 第2530614
 第2530643
 第2530764
 第2530806
 第2530816
 第2530893
 第2531200
 第2531647
 第2532551
 第2532592
 第2532606
 第2532639
 第2534537
 第2534878
 第2535069
 第2535336
 第2535339
 第2535531
 第2535781
 第2536736
 第2536769
 第2536850
 第2536924
 第2536957
 第2537049
 第2537627
 第2537650
 第2537935
 第2538771
 第2539597
 第2540013
 第2540301
 第2541595
 第2541660
 第2542201
 第2544404
 第2544724
 第2545152
 第2545219

正 誤 表

(平成9年7月9日発行)

特 許 登録番号	分 類	識別 記号	箇 所	誤	正
2500268	H01L 21/285		優先権主張	502363 1990年3月30日 米国(US)	502362 1990年3月30日 米国(US)
2500279	C07D 453/02		優先権主張 3番目	9113892 1991年6月27日 イギリス(GB)	9113892-5 1991年6月27日 イギリス(GB)
2500888	H05K 3/40		代理人	復代理人 弁理士 高木 千 嘉 (外2名)	代理人 弁理士 朝宮 孝一 (外1名)
2501449	B23Q 7/04		発明の名称 目次とも	吸着アーム	搬送装置
2501944	H05K 3/18		代理人	復代理人 弁理士 高木 千 嘉	代理人 弁理士 朝宮 孝一
2502068	F16K 31/06	310	発明の名称 目次とも	変量調節装置	油圧式材料試験機
2502324	G09F 3/02		発明の名称 目次とも	容器ラベル	血液バッグ用ラベル
2502491	H04L 5/18		発明の名称 目次とも	通信処理回路	自動車用データ伝送システム
2502964	B29C 87/20		発明の名称 目次とも	フォーミング領域内で固定支 持部材を使用して移動プラス チックウェブを均一にデボス しかつ開口化する方法および 装置	フォーミング領域内で固定支 持部材を使用して移動プラス チックウェブを均一にデボス しかつ開口化する方法および 装置
2503047	A61K 31/557	ADP	特許権者住所 1人目 2人目	大阪府大阪市東区南本町1丁 目11番地 大阪府大阪市東区道修町4丁 目3番地	大阪府大阪市中央区南本町1 丁目6番7号 大阪府大阪市中央区道修町3 丁目4番7号
2503107	A61K 35/78	ABN	特許権者氏名 目次とも	ウォーリングスタウン・カン パニー・リミテッド MONTANA LIMITED	ウォーリングスタウン・カン パニー・リミテッド Wallingstown Company Limited

特許 登録番号	分類	識別 記号	箇所	誤	正
2504450	C07H 15/252		特許権者住所	イタリア国、20159・ミラン、 ヴィア・カルロ・インボナテ イ	イタリア国、20159・ミラン、 ヴィア・カルロ・インボナテ イ、24
2504483	G01B 21/20		発明の名称 目次とも	金属ストリップのクロスバン クルの測定方法及び装置	金属ストリップのクロスバン クルの測定方法及び装置
2504532	C08L 23/28	LDA	特許権者氏名 2人目 目次とも	株式会社十三ゴム製造所	株式会社十川ゴム製造所
2504971	G06F 3/14		発明の名称 目次とも	選択肢のデフォルト処理装置	選択肢のデフォルト設定処理 装置
2505267	C07F 7/12		特許権者住所	兵庫県神戸市中央区加納町 6 丁目 2 番 1 号	兵庫県神戸市中央区磯辺通 3 丁目 1 番 2 号
2505290	A61B 5/16		発明者氏名	▲ふく▼原 真知子	福原 真知子
2505417	G06K 9/62	620	発明の名称 目次とも	パターン認識装置	パターン処理方法
2505584	C08L 81/02	LRG	特許権者氏名 目次とも	ポリプラスチック株式会社	ポリプラスチック株式会社
2505782	G21F 9/16	571	特許権者 目次とも	株式会社東芝 神奈川県川崎市幸区堀川町 72 番地	三井東圧化学株式会社 神奈川県横浜市戸塚区笠間町 1190 株式会社東芝 神奈川県川崎市幸区堀川町 72 番地
2506324	F16F 7/00	ZFN	特許権者氏名 目次とも	エナジーアブリープシオン システム インコーポレーテ ッド	エナジーアブソーブシオン システムス インコーポレー テッド
2506562	B60T 8/36		優先権主張	792,823 1991年11月15日	792,823 1991年11月15日 米国(US)
2506822	G09G 3/36		第8欄9行	一端dだけ	一旦dだけ
2506922	G03G 15/16		第1欄2行	誘電体層と誘電体層の2層以 上	誘電体層と導電体層の2層以 上

特 許 登録番号	分 類	識別 記号	箇所	限	正
2506888	C07C 10/10		特許権者住所	アメリカ合衆国 ニューヨーク州 14302 ナイヤガラフオールズ バッファロー アベニュー アット フォーティゼブンス ストリート (番地なし)	アメリカ合衆国 ニューヨーク州 14302 ナイヤガラフオールズ バッファロー アベニュー アット フォーティゼブンス ストリート (番地なし)
2507302	H01J 37/317		発明の名称 目次とも	半導体ウェハをイオンインプランテーションする装置及び方法	半導体ウェハをイオンインプランテーションする装置
2507450	E05B 55/12		特許権者住所	神奈川県川崎市中原区小杉御殿町2丁目29番2号	神奈川県横浜市金沢区根浦1丁目6番8号
2507714	C08G 79/14	NUR	特許権者氏名 目次とも	東燃株式会社	東燃株式会社
2509078	C07C 49/633		発明の名称 目次とも	ビシクロ [3.3.0]オクタン類の製法	ビシクロ [3.3.0] オクタン類の製法
2509259	C08G 63/60	NPS	特許権者住所	東京都千代田区丸の内3丁目1番1号	東京都港区芝5丁目6番1号
2509281	C08F 4/646	MFG	特許権者住所	東京都千代田区丸の内3丁目1番1号	東京都港区芝5丁目6番1号
2509408	E04G 11/04		特許権者住所	サプライズ国 マーチビショップ マカリ奥斯 ザサード アベニュー・ドマビルディング 227	サプライズ国 アーチビショップ マカリ奥斯 ザサード アベニュー・ドマビルディング 227
2509678	G06F 15/16	390	第2欄3行第4欄40行	諸利要素オリガミ個々	処理要素オリガミの個々
2509723	G11B 7/24	526	特許権者住所	東京都千代田区丸の内3丁目1番1号	東京都港区芝5丁目6番1号
2509724	G11B 7/26	521	特許権者住所	東京都千代田区丸の内3丁目1番1号	東京都港区芝5丁目6番1号
2509749	H04B 10/02		第2欄4行第3欄49行 第4欄6行	最小と 制御手段	最小に 制御信号

特許 登録番号	分類	識別 記号	箇所	誤	正
2509750	C08L 23/10	LCN	特許権者住所	東京都千代田区丸の内3丁目 1番1号	東京都港区芝5丁目6番1号
2510199	B01D 71/26		発明者住所 3人目	桐生市広沢町2-3319	群馬県桐生市広沢町2-2971
2510283	B41J 29/50		発明の名称 目次とも	プリンタ制御方式	プリンタ制御装置
2510428	A61M 25/00		特許権者氏名 1人目 目次とも	神奈川県横浜市中区本牧原5 番3-1106号	神奈川県横浜市中区本牧原3 番1-402
2510742	E05B 19/00		公開番号	特開平1-250996	特開平3-156078
2510748	A01N 57/84		特許権者氏名 目次とも	オルブライト・エンド・ウィ ルソン・リミテッド	オルブライト・アンド・ウィ ルソン・ユークイ・リミテッ ド
			特許権者住所	英国、ウエスト・ミッドラン ズ、ウォーリー、オールドベ リー、ハーグレイ・ロード・ ウエスト 210-222	イギリス国、ウエスト・ミッ ドランズ・ビー88・0エヌエ ヌ、ウォーリー、オールドベ リー、ハーグレイ・ロード・ ウエスト・210-222
2510751	H01L 21/8238		第1欄13行 第2欄7行及 び13行 第2欄9行 第5欄22行 第5欄33行及 び第10欄33行 第8欄40行 第7欄21行 第7欄44行 第7欄49行 第7欄7行 第11欄15行 第13欄27行 第18欄33欄	反応 させる が低電圧 487 ドライブ 間に 含む する打込み 追加に すみ共 基板13 上に ウェーハは	反対 される を低電圧 478 ドライブ 間の 含む するこの打込み 追加の すみ共 基板12 上の ウェーハを
2510959	C07D 301/10		特許権者住所	アメリカ合衆国 ニュージャ ージー州 07643, リトル・ フェリー, インダストリアル ・アベニュー 49	アメリカ合衆国 ニュージャ ージー州 07643-1901 リ トルフェリー, インダストリ アル・アベニュー 49

特 許 登録番号	分 類	識別 記号	箇所	誤	正
2511123	H01R 4/18		発明の名称 目次とも	圧着端子、及び圧着端子と電 線の接続方法	圧着端子と電線との接続構造 及び接続方法
2511307	H04N 3/16		代理人	代理人 弁理士 森崎 俊明 (外1名)	代理人 弁理士 森崎 俊明
2511432	C08F 8/20	MGV	発明の名称 目次とも	ハロゲン化変性エチレン系ラ ンダム共重合体、塗膜密着性 付与剤およびビヒクル	ハロゲン化変性エチレン系ラ ンダム共重合体、塗膜密着性 付与剤およびビヒクル
2511732	C02F 1/44		発明者住所 2人目	脱落	林 正彦 大阪府茨木市下穂積1丁目1 番2号 日東電工株式会社内
2511971	A61B 17/22	330	第1欄15行	前記第1の出力端および第1 の出力端	前記第1の出力端および第2 の出力端
2512516	C08J 5/08	CFB	特許権者氏名 目次とも	イー・アイ・デュボン・デ・ ニモアス・アンド・カンパ ニー	イー・アイ・デュボン・ドウ ・ヌムール・アンド・カンパ ニー
2512552	G01L 3/10		発明者氏名	柴田 良雄	柴田 良雄
2512553	G01L 3/10		発明者氏名	柴田 良雄	柴田 良雄
2512703	G06F 9/44	570	発明の名称 目次とも	言語理解処理方式	言語理解処理装置
2512717	B05B 35/56		特許権者氏名 目次とも	株式会社大澤プレス製作所	株式会社オーサワエンジニア リング
2512739	B05C 11/10		特許権者住所 1人目	豊中市旭丘1-16-103	大阪府豊中市旭丘1-16-103
2513283	C07C 33/02		発明の名称 目次とも	アルカジエールノール類の製 造方法	アルカジエノール類の製造方 法
2513712	A61L 15/44		特許権者氏名 目次とも	スミス アンド ネフュー アソシエイテッド コンパニ ーズ ピーエルシー	スミス アンド ネフュー ピーエルシー

特許 登録番号	分類	識別 記号	箇所	誤	正
2513910	C09K 19/44		特許権者住所	ドイツ連邦共和国 デー 6100 ダルムシュタット、フラ ンクフルター・ストラッセ 250番	ドイツ連邦共和国 64293 ダルムシュタット フランク フルター シュトラッセ 250
2514006	B22D 43/00		特許権者住所 名称 目次とも	日本無線株式会社 東京都三鷹市下連雀5丁目1 番1号	日本無線株式会社 東京都千代田区神田錦町3丁 目1番地
2514199	C10L 1/16		発明の名称 目次とも	液体燃料露成物	液体燃料組成物
2514283	A01C 11/02	350	発明の名称 目次とも	田植機の苗植付装置	田植機の苗植給装置
2514700	A01K 89/017		特許権者氏名 2人目 目次とも	株式会社神林製作所	テクノエクセル株式会社
2514999	C07C 235/56		発明者氏名 1人目	ロバート エイ シェラー	ロバート エイ シェラー
2515813	H04L 12/28		特許権者住所	アメリカ合衆国 10013- 2412 ニューヨーク ニュー ヨーク アヴェニュー オフ ジ アメリカズ 32	アメリカ合衆国 10013- 2412 ニューヨーク、ニュー ヨーク、アヴェニュー オフ ジ アメリカンズ 32
2515495	D21H 17/84		発明の名称 目次とも	中性紙の製方	中性紙の製造方法
2515714	G03B 27/84		特許権者住所	大阪府大阪市東区玉造1丁目 2番28号	大阪府大阪市中央区玉造1丁 目2番28号
2515728	G02B 6/16		発明の名称 目次とも	光ファイバーのロッド母材及 びファイバの製造方法	光ファイバーのロッド母材及 び光ファイバの製造方法
2516081	B29C 43/48		発明者氏名 1人目 2人目	赤坂 弘一 ▲う▼田 豊一	赤松 弘一 宇田 豊一
2516871	H04M 3/42		分割の表示	脱落	特願昭58-210928の分割
2516882	C08G 64/06	NPT	第3欄20行	炭酸エステル形成化合物	炭酸エステル形成性化合物

特許 登録番号	分類	識別 記号	箇所	誤	正
2517201	H05B 6/66		分割の表示	脱落	特願昭60-283464の分割
2517210	G01C 21/00		分割の表示	脱落	特願昭62-10355の分割
2517257	H04N 1/387		特許権者住所	アメリカ合衆国、94088 カ リフォルニア州、サニィペイ ル ビィ・オウ・ボックス・ 3453、トブソン・プレイス、 801	アメリカ合衆国、94088- 9453 カリフォルニア州、サ ニィペイル ビィ・オウ・ボ ックス・3453、ワン・エイ・ エム・ディ・プレイス（番地 なし）
2518105	B65B 25/04		分割の表示	脱落	特願昭62-138584の分割
2518760	A01N 25/04		発明の名称 目次とも	有害化合物のゲルを含む新規 な封入系	有害化合物のゲルを含む封入 系
2518875	B65H 54/28		発明の名称 目次とも	合成繊維連続フィラメント系 の巻き取りを行うワインダ	合成繊維連続フィラメント系 の巻き取りを行うワインダ
2518887	H04B 7/08		特許権者住所	神奈川県川崎市中原区上小田 中1015番地	神奈川県川崎市中原区上小田 中4丁目1番1号
2518889	H01Q 19/02		特許権者住所	神奈川県川崎市中原区上小田 中1015番地	神奈川県川崎市中原区上小田 中4丁目1番1号
2519227	G06F 7/50		発明の名称 目次とも	桁上げ伝搬速度を増加させる ダイナミック論理回路を含む グループ段を有する並列リバ イナリ加算回路	桁上げ伝搬速度を増加させる ダイナミック論理回路を含む グループ段を有する並列バイ ナリ加算回路
2519248	H01H 33/26		発明の名称 目次とも	妨害アーク検出器	妨害アーク検出装置
2519549	H01H 37/54		第3欄6行	その蓋板の端子棒に	その蓋板の基板に
2519595	A23B 7/10		発明の名称 目次とも 特許権者氏名 目次とも	核果類果実の塩漬け方法 社団法人和歌山県農産加工研 究所	核果実の塩漬け方法 社団法人和歌山県農産物加工 研究所
2519751	B60T 8/58		特許権者氏名 目次とも 特許権者住所	富士通株式会社 神奈川県川崎市中原区上小田 中4丁目1番1号	住友電気株式会社 大阪府大阪市中央区北浜4丁 目5番33号

特許 登録番号	分類	識別 記号	箇所	誤	正
2519772	H01L 23/48		特許権者氏名 目次とも 特許権者住所	富士通株式会社 神奈川県川崎市中原区上小田 中4丁目1番1号	住友電気株式会社 大阪府大阪市中央区北浜4丁 目5番33号
2519962	G11B 5/704		発明の数	2	1
2519982	G11B 5/85	CFN	第3欄31行	炭素分圧	酸素分圧
2520092	G01D 3/00		分割の表示	脱落	特願昭59-257181の分割
2520099	C01C 3/02		第1欄10行	温度450~55℃	温度450~550℃
2520145	C09J 4/06		特許権者住所	大阪府高槻市明田町7番1号 サンスター技研株式会社	大阪府高槻市明田町7番1号
2520460	C11D 17/06		特許権者住所	アメリカ合衆国オハイオ州、 シンシナチ、ワン、プロクタ ー、エンド、ギャンブルブラ ザ(番地なし)	アメリカ合衆国オハイオ州、 シンシナチ、ワン、プロクタ ー、エンド、ギャンブル、ブ ラザ(番地なし)
2520600	G03C 1/015		第1欄6行	融点40℃以上30℃以下	融点40℃以上300℃以下
2520694	B41N 1/08		発明者氏名 2人目	樽 博和	▲さかき▼ 博和
2521284	C08L 27/24	LFZ	第1欄4行~ 5行	塩素化塩素ビニル系樹脂	塩素化塩化ビニル系樹脂
2521504	C12N 9/98		発明者氏名 2人目	脱落	西村 邦夫 東京都港区芝大門2丁目10番 12号 昭和電工株式会社内
2521639	B28C 43/18		出願変更の表 示	脱落	実願昭59-69473の変更
2521708	G02B 6/02		発明の名称 目次とも	光ファイバ内に格子を形成す る方法	光ファイバ及び光ファイバ内 に格子を形成する方法
2521773	D01F 6/80	331	発明の名称 目次とも	アラミド共重合体系	アラミド共重合体系
2521836	C08F 10/00		第1欄12行	金属マグネシウムとアルコー ルの	金属マグネシウムとアルコー ルと

特許 登録番号	分類	識別 記号	箇所	誤	正
2521837	C08G 18/66	NEY	特許権者住所 1人目	東京都国分寺市光町2丁目8 番38	東京都国分寺市光町2丁目8 番地38.
2522236	H01F 7/08		分割の表示	脱落	特願昭62-271144の分割

正 誤 表

(平成9年7月9日発行)

特 許 登録番号	分 類	識別 記号	箇所	誤	正
2522237	H01F 7/06		分割の表示	脱落	特願昭82-271144の分割
2522473	B27B 33/14		特許権者氏名 目次とも	オーマーク・インダストリー ズ・インコーポレーテッド	ブラウントインコーポレーテ ッド
2523093	B29C 45/55		出願変更の表 示	脱落	実願平8-77620の変更
2523122	C01G 39/00		第5欄20行 第11欄25行 第12欄20行 第14欄8行～ 9行	モル比が0.1から0.3 NaOH12gが水360ml中 (Bi, Ba)(V, Mo)O ₄ セチルセロソルブ2g	モル比は0.1から0.3 NaOH12gを水360ml中 (Bi, Ba)VO ₄ メチルセロソルブ2g
2523135	H04L 12/28		第3欄29行	ルート決めできる、	ルート決めでき、
2523149	A47C 7/18		特許権者氏名 目次とも	グレコリー、ピーター、ジョ ージ、ゴードン	グレゴリー、ピーター、ジョ ージ、ゴードン
2523312	G03F 1/00		発明の名称 目次とも	印刷用版下を形成するための 装置	包装紙の印刷用版下及びフィ ルム作成装置
2523343	C07D 405/04		特許権者住所	ドイツ連邦共和国 D-6100 ダルムシュタット、フランク フルテル、シュトラッセ 250	ドイツ連邦共和国 D-64293 ダルムシュタット、フランク フルテル、シュトラッセ 250
2523351	C07C 275/10		特許権者住所	フランス国 92800 プトー、 アヴニユ、ドウ、シエネラ ル、ド、ゴール 3	フランス国 92800 プトー、 アヴニユ、ドウ、シエネラ ル、ド、ゴール 3
2523468	C12N 15/09		特許権者氏名 2人目 目次とも	ロベルト アンドリアーン シルペルールト	ロベルト アドリアーン シ ルペルールト
2523487	C04B 35/48		特許権者名称 (目次とも)	シュトラ フェルトミュー レアクチエンゲゼルシャフト	セラシブ ゲゼルシャフト ミット ペシュレンクテル ハフツング イノヴェイティ ヴズ ケラミクーエンジニア リング
2523965	D04B 15/56	102	発明者 2人目	脱落	鄭 利信 大韓民国、ソウル、中浪区、 忘憂1洞 403-19

特 許 登録番号	分 類	識別 記号	箇所	誤	正
2524100	G02F 1/183	P D C	発明の名称 目次とも	電気光学的表示装置の駆動方法	マトリクス型液晶光学装置の 駆動方法
2524122	C09D 201/00		発明の名称 目次とも	断熱部材のコーティング用塗 料	空気調和機
2524329	B23D 31/02		発明の名称 目次とも	板の両側を繰取りしスリツテ イングするための方法及びこ の方法を家施するためのシャ ーライン	板の両側を繰取りしスリツテ イングするための方法及びこ の方法を実施するためのシャ ーライン
2524549	G08G 9/00		分割の表示	脱落	特願昭57-160135の分割
2524693	C12P 21/02		代理人	(外2名)	佐藤 一雄 (外2名)
2524758	G01J 1/02		代理人	代理人 弁理士 小池 龍太 郎	削除
2524799	G01J 1/00		代理人	代理人 弁理士 小池 龍太 郎	削除
2524800	C07C 15/24		代理人	代理人 弁理士 三宅 正夫 (外1名)	代理人 弁理士 三宅 正夫
2524860	G02F 1/1337		発明の名称 目次とも	ラビング用ロードブラシ及び その製造方法	ラビング用ロールブラシ及び その製造方法
2524903	A61B 17/58		優先権主張 1 番目	999999999999999999999999 1990年2月8日 フランス(FR)	9001534 1990年2月8日 フランス(FR)
			2 番目	999999999999999999999999 1990年3月19日 フランス(FR)	9003694 1990年3月19日 フランス(FR)
2525048	C07K 14/195	5 0 0	発明の名称 目次とも	部位特異的変異形成で修飾さ れた糖蛋白質ホルモンおよび その使用	部位特異的変異形成で修飾さ れた糖蛋白質ホルモンおよび その使用方法
2525251	C07C 211/27		代理人	代理人 弁理士 三宅 正夫 (外1名)	代理人 弁理士 三宅 正夫
2525474	G01N 83/74		発明の名称 目次とも	胎児のダウン症候群を検出す る方法およびその装置	胎児のダウン症候群を検出す る検出方法およびその装置

特許 登録番号	分類	識別 記号	箇所	誤	正
2525564	G07D 9/00	456	発明の名称 目次とも	環流式現金自動取扱装置	環流式現金自動取引装置にお ける紙幣補充方法
2525840	C07C 39/17		発明の名称 目次とも	1,1-ビス(3-フェニル-4- ヒドロキシフェニル)シクロ ヘキサン	1,1-ビス(3-フェニル-4- ヒドロキシフェニル)シクロ ヘキサンおよびその製造方法
2526227	C07F 7/10		発明の名称 目次とも	第1級アミノシロシサンの製 造方法	第1級アミノシロキサンの製 造方法
2526819	F16C 25/08		特許権者住所	東京都千代田区丸の内2丁目 3番2号	東京都品川区大崎1丁目6番 3号
2526885	C04B 37/02		特許権者住所	東京都千代田区丸の内2丁目 3番2号	東京都品川区大崎1丁目6番 3号
2526949	G11B 20/12	103	第1欄8行	第2の記録長さ有する	第2の記録長を有する
2527468	H04N 9/804		発明者氏名 1人目	チュウン パク	チュウン パク
2527586	G08C 15/00		発明の名称 目次とも	測定データ収集処理システム	測定データ収集処理システム
2527780	E05B 1/00	301	特許権者住所	イギリス国 チェシャー、シ ーダブリュ1 3ピーエル、 クルーウェ、ピムズレーン (番地なし)	イギリス国 チェシャー、シ ーダブリュ1 3ピーエル、 クルーウェ、ピムズレーン (番地なし)
2527811	G03F 7/32		第1欄4行	アリカリ水溶液	アルカリ水溶液
2527918	G01K 11/06		優先権主張	PM92A000343 1992年5月7日 イタリア(IT)	RM92A000343 1992年5月7日 イタリア(IT)
2528007	C09J 125/08	JCN	特許権者氏名 目次とも	住友ダウ株式会社	住化エイビーエス・ラテック ス株式会社
2528008	C09J 125/00	JCN	特許権者氏名 目次とも	住友ダウ株式会社	住化エイビーエス・ラテック ス株式会社

特 許 登録番号	分 類	識別 記号	箇所	誤	正
2528126	B65D 55/02		第2欄1行 第3欄24行 第3欄40行 第3欄43行 第6欄27行	外内壁(3) 閉鎖方 外壁集合体 該壁集合体 組み立てることを容易である。	該内壁(3) 閉鎖法 側壁集合体 側壁集合体 組み立てることも容易である。
2528155	B29C 33/10		特許権者氏名 目次とも	ドイチュ フィブリト ゲゼ ルシャフト エバーズ ウン ト ドクテル シューラー ミット ペシュレンクテル ハフツング	ドイチュ フィブリト ゲゼ ルシャフト エバーズ ウン ト ドクトル シューラー ミット ペシュレンクテル ハフツング
2528199	G01C 19/72		第3欄36行 第7欄47行	速度バイアス信号と利得バイ アス信号 第16項の装置。	速度バイアス信号と利得バイ アス信号 第16項の方法。
2528302	C07K 14/195		特許権者氏名 目次とも	ハイテク・レセプター・アー ペー	ハイテク・レセプター・アー ペー
2528320	C09K 3/00		代理人	代理人 弁理士 笠井 啓也	削除
2528553	A61C 1/07		特許権者氏名 目次とも	エタプリスマン アーントジ ル	アーントジル
2528876	C08F 220/14	MMD	第5頁中第1 表	比較例3の行脱落	別紙

別紙

第 1 表

	単量体組成(重量部)			無機塩(A) (重量部)	懸濁分散剤 (重量部)		重合系の安定性	ビーズ形状平均粒径 (μm)	熱変形温度 ($^{\circ}\text{C}$)	成型品の着色性
	MMA	N-置換マ ノイミド	芳香族ビニ ル化合物		(B)	(C)				
実施例 2	55	CP130	ST15	A-3 0.25	B 0.1	C-2 0.3	良好	均一良好 0.31	125	淡黄色透明
実施例 3	83	P 110	ST 7	A-3 0.25	B 0.15	C-1 0.05	良好	均一良好 0.28	110	淡黄色透明
実施例 4	75	MP115	ST10	A-3 0.25	B 0.15	—	良好	均一良好 0.30	114	淡黄色透明
比較例 1	70	CP120	ST10	A-3 0.25	—	C-1 0.2	不安定 ビーズブ ロック有	不均一	118	淡黄色透明
比較例 2	80	MP112	ST 8	A-1 0.2 A-2 0.2	—	C-2 0.5	不安定 ビーズブ ロック有	不均一	112	淡黄色透明
比較例 3	75	P 115	ST10	CMC 0.5		重合途中一 体固化	—	—	—	—

特 許 登録番号	分 類	識別 記号	箇所	誤	正
2529126	C01M 105/34	311	第1欄6行	炭素数9～38のアルル基を	炭素数9～38のアルキル基を
2529341	F28D 20/02		発明者氏名 2人目	江崎 正紀	江部 正紀
2529988	H01L 21/60		第1欄7行	着脱可能に保持る	着脱可能に保持する
2530001	C07C 217/84		発明の名称 目次とも	2,4-ジアミノ-1,3,5-トリ メトキシベンゼン、その製造 方法および染毛組成物	2,4-ジアミノ-1,3,5-トリ メトキシベンゼンおよび染毛 組成物
2530212	H01L 21/28		第2欄5行	誘電性領域	導電性領域
2530603	H04L 1/08		発明の名称 目次とも	バケツトデータ受信装置	バケツトデータ受信装置
2530614	D01D 5/084		特許権者住所 目次とも	大阪府大阪市東区南本町1丁 目11番地	大阪府大阪市中央区南本町1 丁目6番7号
2530643	A61F 13/15		発明の名称 目次とも	弾性スカラップドエッジを有 する使い捨て吸収性製品の製 造方法	弾性スカラップドエッジを有 する使い捨て吸収性製品の製 造法
2530764	B32B 25/10		発明の名称 目次とも	エアーコンディショナーの冷 媒輸送用ホース	エアーコンディショナーの冷 媒輸送用ホース
2530806	H01L 29/778		第2欄4行	(b) 該MOSFET	(b) 該MESFET
2530816	G02B 6/36		特許権者氏名 住所 2人目 3人目 目次とも	脱落	旭硝子株式会社 東京都千代田区丸の内2丁目 1番2号 黒田電気株式会社 大阪府大阪市淀川区木川東4 丁目11番3号
2530893	C25D 19/00		特許権者住所 2人目	大阪府大阪市東区道修町3丁 目18番地	大阪府大阪市中央区道修町3 丁目2番6号
2531200	E02B 7/02		第2欄3行 第2欄9行	二列目の 第3項に	二列目を 第3項の
2531647	H01L 33/00		発明の名称 目次とも	照明装置	実装装置

特許 登録番号	分類	識別 記号	箇所	誤	正
2532551	B44C 5/00		特許権者住所 2人目	大阪府大阪市旭区中宮2丁目 25-18 大宮マンション202 号	大阪府大阪市旭区中宮2丁目 4番20号 ベルダ中宮302号
2532532	B43L 13/00		発明の名称 目次とも	鉛筆ペンをを用いた記録装置	鉛筆ペンをを用いた記録装置
2532606	G02F 1/141		発明の名称 目次とも	液晶混合物用キラール添加剤 およびその用途	液晶混合物用キラール添加剤 およびその用途
2532639	G01G 23/00		特許権者氏名 住所 目次とも	ホバート・コーポレーション アメリカ合衆国 オハイオ州 45374、トロイ（番地なし） ワールド・ヘッドクォーター ス・ビルディング	ブリマーク・エフイー・コ ーポレーション アメリカ合衆国 デラウェア 州 19801、ウィルミントン デラウェア・アベニュー 300 スウィート 509
2534537	H03F 1/30		優先権番号	677330-A/87	67330-A/87
2534878	C04B 35/52		発明者 2人目	日油技研工業株式会社 埼玉県川越市大字鯉井1995番 地4	大橋 久雄 滋賀県彦根市日夏町2617
2535069	G01N 30/48		特許権者住所	兵庫県神戸市中央区加納町6 丁目2番1号	兵庫県神戸市中央区磯辺通3 丁目1番2号
2535386	A01B 35/00		特許権者住所 1人目 2人目	石川県鹿島郡鹿島町字藤井二 の53	石川県鹿島郡鹿島町藤井二部 53番地
2535339	A61K 8/00		特許権者住所 発明の名称 目次とも	スイス国、ヘルギヴィル、ゼ ーシュトラッセ 47 活性物質の制御速度制御用装 置	スイス国、ヘルギスヴィル、 ゼーシュトラッセ 47 活性物質の放出速度制御用装 置
2535531	G02F 1/35	501	第1欄13行 第3欄31行	及びこれらの組合 熱量計、磁力系	及びそれらの組合 熱量計、磁力計
2535781	C01G 31/00		発明者 1人目 4人目	脱落	菅家 康 茨城県つくば市竹園3丁目 302-807 小須田 幸助 茨城県つくば市花畑1丁目5 -8

特 許 登録番号	分 類	識別 記号	箇所	誤	正
2536735	E21D 0/08		発明の名称 目次とも	シールド掘進機	シールド掘進工法
2536769	A01K 63/00		特許権者氏名 2人目 目次とも	日那産業株式会社	日邦産業株式会社
2536850	A61F 5/44		発明の名称 目次とも	おむつのマーキング	おむつのマーキング法
2536924	E04H 9/02	3 3 1	発明者氏名 3人目	宮本 芳昭	宮本 芳明
2536957	B01D 53/04		特許権者住所 2人目	東京都千代田区神田駿河台 6 番地	東京都千代田区神田駿河台 4 丁目 6 番地
2537049	C07D 513/04	3 2 5	特許権者住所	ドイツ連邦共和国 D-6100 ダルムシュタット、フラン クフルテル、シュトラッセ 250	ドイツ連邦共和国 D-64293 ダルムシュタット、フラン クフルテル、シュトラッセ 250
2537627	D21C 3/20		発明の名称 目次とも	バルブの製造法	バルブの製造法
2537850	B01D 53/50		第 3 欄 2 行	第 4 項のいずれか 1 項	第 4 項のいずれか 1 項
2537935	C07K 1/34		発明の名称 目次とも	生理活性物質の濃縮・脱塩方 法	生理活性物質の濃縮・脱塩方 法
2538771	H04N 9/77		発明の名称 目次とも	位相調整方法	位相調整装置
2539507	H03B 5/02		発明の名称 目次とも	割込み可能な電圧制御発振回 路	割込み可能な電圧制御発振振 回路
2540013	B60Q 1/44		特許権者氏名 目次とも	エイチイー・ホールディング ス・インコーポレーテッド・ ディービーイー・ヒューズ・ エレクトロニクス	ヒューズ・エアクラフト・カ ンパニー
2540301	C03C 17/28		特許権者住所	ベルギー国 ベ 1170 ブリ ュツセル、シヨセ、ド、ラ、 イエルプ 166	ベルギー国 ベ 1170 ブリ ュツセル、シヨセ、ド、ラ、 イエルプ 166

特 許 登録番号	分 類	識別 記号	箇所	誤	正
2541595	C02F 3/20	Z A B	発明の名称 目次とも	液体の大面积にわたる微細気 泡散気を行なうための方法と 装置	液体の大面积にわたる微細気 泡ばっ気を行なうための方法 と装置
2541660	G11B 5/596		発明の名称 目次とも	位置情報書込方式および装置	位置情報書込方法および装置
2542201	H01C 7/13		発明の名称 目次とも	過負荷溶断形抵抗器	過負荷溶断形抵抗器の製造方 法
2544404	H01S 3/133		発明の名称 目次とも	レーザダイオード光出力制御 回路	レーザダイオード光出力制御 回路
2544724	D03D 47/28		発明の名称 目次とも	ジェットルームにおける繰入 れ方法	ジェットルームにおける繰入 れ条件設定方法
2545152	B66C 1/28		特許権者住所 1人目	大阪府大阪市西区江戸堀1丁 目6番14号	大阪府大阪市此花区西九条5 丁目3番28号
2545219	G03F 7/021	5 0 1	特許権者氏名 住所 目次とも	イー・アイ・デュボン・ドウ ・ヌムール・アンド・カンパ ニー アメリカ合衆国、19898、デラ ウエア州、ウイルミントン、 マーケット・ストリート 1007	イー・アイ・デュ・ボン・ド ウ・ヌムール・アンド・カン パニー アメリカ合衆国、デラウエア ・19898、ウイルミントン（番 地なし）